



Docket No.: 61282-034

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

: Customer Number: 20277

Mitsumi ITO, et al.

: Confirmation Number: 7464

Serial No.: 10/634,989

: Group Art Unit: 2812

Filed: August 06, 2003

: Examiner:

For: SEMICONDUCTOR DEVICE, METHOD OF GENERATING PATTERN FOR
SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURING SEMICONDUCTOR
DEVICE AND DEVICE FOR GENERATING PATTERN USED FOR
SEMICONDUCTOR DEVICE

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Japanese Patent Application No. 2002-229216, filed August 6, 2002

A copy of each priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prg
Facsimile: (202) 756-8087
Date: January 6, 2004

日本国特許庁
JAPAN PATENT OFFICE

61282-034
Ito et al.
August 6, 2003
101634,989
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 8月 6日
Date of Application:

出願番号 特願2002-229216
Application Number:

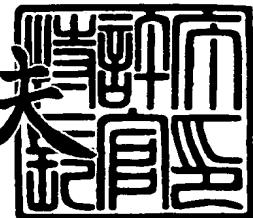
[ST. 10/C] : [JP2002-229216]

出願人 松下電器産業株式会社
Applicant(s):

2003年 9月 4日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 5037540120

【提出日】 平成14年 8月 6日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/00

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 伊藤 光実

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 嶋田 純一

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 向井 清士

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 辻川 洋行

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100105647

【弁理士】

【氏名又は名称】 小栗 昌平

【電話番号】 03-5561-3990

【選任した代理人】**【識別番号】** 100105474**【弁理士】****【氏名又は名称】** 本多 弘徳**【電話番号】** 03-5561-3990**【選任した代理人】****【識別番号】** 100108589**【弁理士】****【氏名又は名称】** 市川 利光**【電話番号】** 03-5561-3990**【選任した代理人】****【識別番号】** 100115107**【弁理士】****【氏名又は名称】** 高松 猛**【電話番号】** 03-5561-3990**【選任した代理人】****【識別番号】** 100090343**【弁理士】****【氏名又は名称】** 栗宇 百合子**【電話番号】** 03-5561-3990**【手数料の表示】****【予納台帳番号】** 092740**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0002926**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体装置用パターンの生成方法、半導体装置の製造方法、および半導体装置用パターン生成装置

【特許請求の範囲】

【請求項 1】 半導体チップの機能情報に基づいて機能素子のレイアウトパターンを設計し配置するレイアウトパターン形成工程と、

前記レイアウトパターンの存在しない空き領域を検出する空き領域検出工程と、前記空き領域に、ゲート酸化膜を絶縁膜とするMOS容量セルの配置が可能であるか否かを判断する判断工程と、

上記判断工程で可であると判断された領域にMOS容量セルを配置する工程と前記MOS容量セルのゲート導体を第1の電位に接続するとともに、基板を第2の電位に接続するように配線を形成する配線配置工程とを具備したことを特徴とする半導体装置用パターン生成方法。

【請求項 2】 前記配線配置工程は、前記MOS容量セルのゲート導体を電源配線に接続するとともに、基板をグランド配線に接続する工程を含むことを特徴とする請求項 1 に記載の半導体装置用パターン生成方法。

【請求項 3】 前記配線配置工程は、上層に形成される配線から前記ゲート導体への接続用のコンタクトを形成し、前記配線と電源配線との接続を行うように、配線のレイアウトパターンを生成する工程を含むことを特徴とする請求項 2 に記載の半導体装置用パターン生成方法。

【請求項 4】 上層に形成される配線から前記基板への接続用のコンタクトを形成し、前記基板とグランド配線との接続を行うように配線のレイアウトパターンを生成する工程を含むことを特徴とする請求項 2 または 3 のいずれかに記載の半導体装置用パターン生成方法。

【請求項 5】 前記コンタクトは、下層に電源配線またはグランド配線があるところに形成されるコンタクトに前記配線を介して接続されることを特徴とする請求項 3 または 4 のいずれかに記載の半導体装置用パターン生成方法。

【請求項 6】 前記上層に形成される配線は、前記機能素子のレイアウトパターンのない領域であって、上に信号線がない領域

を抽出する工程を含み、

前記抽出された領域に配置されることを特徴とする請求項3乃至5のいずれかに記載の半導体装置用レイアウトパターン生成方法。

【請求項7】前記配線のレイアウトパターン生成工程は、

前記レイアウトパターンから下地層パターンの有無を検出し、

同一層に機能素子のレイアウトパターンがあるか否かを検知し、配線の生成可能領域を抽出する工程とを含むことを特徴とする請求項6に記載の半導体装置用レイアウトパターン生成方法。

【請求項8】前記配線のレイアウトパターン生成工程は、

前記レイアウトパターンから下地層パターンの有無を検出するとともに、

前記レイアウトパターンから上層パターンの有無を検出し、

同一層に機能素子のレイアウトパターンがあるか否かを検知し、前記下地層パターンと前記上層パターンとの間に位置する中間層配線の生成可能領域を抽出する工程とを含むことを特徴とする請求項6に記載の半導体装置用レイアウトパターン生成方法。

【請求項9】前記配線配置工程は、連続する2層のダミーパターンセルが交差パターンを有し、各層のダミーパターンセルが相互に、前記交差パターンの交差領域に相当する領域に島状の孤立パターンをもつように構成されたことを特徴とする請求項1に記載の半導体装置用パターン生成方法。

【請求項10】前記ダミーパターンセルは、十字状パターンと前記十字状パターンで分割された4つの領域にそれぞれ孤立の島状パターンを有する第1層セルと、前記第1層セルと連続する上層または下層に位置し、前記島状パターンに相当する4点で交差するように配置されたシャープ符号状パターンからなる第2層セルとで構成されており、第1層および第2層のそれぞれが電源配線およびグランド配線を構成していることを特徴とする請求項1に記載の半導体装置用パターン生成方法。

【請求項11】さらに、前記機能素子、前記MOS容量素子および前記配線を構成する各層のレイアウトパターンからその面積率を抽出する工程と、

前記レイアウトパターンを構成する各層のプロセス条件にもとづいて得られる層

毎のレイアウトパターンの最適面積率を考慮して、層毎のマスクパターンの面積率をあわせるように、前記レイアウトパターンに、ダミーパターンを追加配置するダミーパターン追加工程とを含み

各層の面積率を揃えるようにしたことを特徴とする請求項 1 に記載の半導体装置用パターン生成方法。

【請求項 1 2】 前記レイアウトパターン形成工程で形成されたレイアウトパターンを所望の大きさの小領域に分割する工程と、

分割された前記小領域毎にレイアウトパターンの面積率を抽出する工程と、マスクパターンの面積率をあわせるように、ダミーパターンを追加配置するダミーパターン追加工程とを含み

前記小領域毎に各層の面積率を揃えるようにしたことを特徴とする請求項 1 1 に記載の半導体装置の生成方法。

【請求項 1 3】 さらに面積率の異なるダミーパターンセルを複数種用意する工程を含み、

前記ダミーパターン追加工程は、当該小領域の面積率に応じて所望のダミーパターンセルを選択する工程を含むことを特徴とする請求項 1 2 に記載の半導体装置用パターン生成方法。

【請求項 1 4】 ダミーパターン形成後の面積率を算出し、あらかじめ決められた条件の範囲内であるか否かを判定して、入っていない場合に、前記ダミーパターンのうちいくつかを取替え、最適なダミーセルを算出する工程とを含むことを特徴とする請求項 1 2 に記載の半導体装置用パターン生成方法。

【請求項 1 5】 前記ダミーパターン追加工程は、配線層、拡散層、ゲート導体、ウェルの少なくとも一つに対して実行されることを特徴とする請求項 1 1 乃至 1 4 のいずれかに記載の半導体装置用パターン生成方法。

【請求項 1 6】 半導体チップのレイアウトデータからレイアウトパターンを形成するレイアウトパターン形成手段と、

この半導体チップ上でレイアウトパターンの存在しない空き領域を検出する空き領域検出手段と、

レイアウトパターン形成手段で形成されたレイアウトパターンからデザインルー

ルによるテクノロジを考慮し、この空き領域検出手段で検出された領域とデザインルールとを論理演算する論理演算手段と、

この論理演算手段で抽出された領域を、デカッピング容量追加配置領域とする配置手段とを含み、空き領域にデカッピング容量を追加配置するようにしたことを特徴とする半導体装置用パターン生成装置。

【請求項17】請求項1乃至15のいずれかに記載の方法または請求項16に記載の装置を用いて生成された半導体装置用パターンに基づいて、各工程のマスクパターンを形成する工程と、

前記マスクパターンを用いて各プロセスを実行し半導体装置を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項18】請求項1乃至15のいずれかに記載の方法または請求項16に記載の装置を用いて生成された半導体装置用パターンを備えた半導体装置。

【請求項19】前記半導体装置は、同一サイズのダミー容量セルの集合体であつて少なくともひとつの電気的接続をなさないダミー容量セルを含むことを特徴とする請求項18に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、半導体装置の生成方法、半導体装置の製造方法および半導体装置の生成装置に係り、特に高速駆動に際しても不要輻射ノイズの低減を図ることの可能な半導体装置用パターンの生成に関するものである。

【0002】

【従来の技術】

コンピュータはいうまでもなく、携帯電話等の通信機器、一般家庭製品や玩具、自動車まで、LSIの利用は拡大の一途をたどっている。しかし、その一方で、これらの製品から生じる不要輻射（ElectromagneticInterference:EMI）がテレビ・ラジオ等の受信装置の電波障害や他システムの誤動作の原因として問題になっている。

これらの問題に対して、フィルタリングやシールディングというような製品全

体としての対策も施されているが、部品点数増大・コスト増大・製品上対策の難しさ等の観点より、LSIパッケージとしてのノイズ抑制が強く要請されている。

【0003】

このような状況のなかで、各製品においてLSIはキーデバイスとして位置付けられており、製品の競争力確保のために、LSIの大規模化・高速化が要求されている。製品サイクルが短くなる中で、これらの要求に答えるためにはLSI設計の自動化が必須であり、現状の設計自動化技術導入の条件として同期設計を採用する必要が高まっている。基準クロックに同期して全回路が動作し、かつ大規模・高速のLSIとなれば、その瞬時電流は非常に大きくなってしまうことになり、不要輻射の増大を引き起こすことになる。

【0004】

このように、LSIの微細化及び、動作周波数の高速化に伴い、ラッチアップ対策、ノイズ対策が大きな問題となってきている。

一般に、セルベースの設計手法においては、基板セル内に拡散領域とスルーホールを形成しておくことで、コンタクトを形成し、当該コンタクトを介して、基板もしくはウェルを電源電位に固定しているが、ラッチアップ対策として基本セル内に基板コンタクトを追加したのでは、チップ面積は増大の一途をたどる。

【0005】

そこで、本発明者らは、チップ面積増大を防止すべく、電源配線下に基板コンタクトを配置し、電源配線とグランド配線との間にセルをバイパスしたコンデンサを配置することにより、半導体装置の面積増大を抑制しつつも、ラッチアップ耐圧の向上を実現し、ノイズ放射の低減、外部から侵入するノイズによる誤動作の低減を実現する方法を提案している（特開2000-208634号）。

【0006】

また、さらなる半導体装置の微細化や動作周波数の高速化に伴って、深刻化する電源ノイズを低減させるべく、レイアウトパターンの存在しない空き領域を検出するとともに、電源配線領域と隣接する領域を検出し、これらの検出領域を論理演算して得られた領域にデカップリング容量を配置する方法が提案されている

(特願平2001-356279号)。

この方法では、電源配線領域と隣接する領域であってかつレイアウトパターンのない空き領域にデカップリング容量を追加配置するようにしているため、デカップリング容量をさらに増大することができる。

【0007】

【発明が解決しようとする課題】

これらの方法は、電源ノイズの低減をはかることのできる方法ではあるが、さらなる半導体装置の微細化や動作周波数の高速化の進む現在においては、さらに大きなデカップリング容量を追加することは、極めて重大な課題であった。

特に、LSIの開発を終えて、レイアウト検証も終了した半導体チップ設計に対し、半導体チップ全体として、不要輻射(EMI)を算出し、このEMI低減対策としてデカップリング容量を形成する際にさらに大きなデカップリング容量が必要となることがある。

さらにまた、デカップリング容量を増大したとしても、レイアウトパターンに偏りがある場合、当該層について十分なパターン精度を得ることができないのみならず、当該層よりも上層のパターン精度にも影響を及ぼすという問題があり、プロセス精度を十分に得ることができないという問題があった。

そこで、チップのレイアウト決定の最終段階としては、再度プロセス条件を考慮して自動配線を行うことが望ましい場合もあった。

【0008】

本発明は、前記実情に鑑みてなされたもので、デカップリング容量の増大が可能で、有効に電源ノイズの吸収をはかり、回路の安定動作を実現することのできる半導体装置を提供することを目的とする。

【0009】

また、確実なパターン精度を求めて、パターン生成の自動化を容易にすることを目的とする。

【0010】

【課題を解決するための手段】

この目的を達成するために、本発明の方法では、電源配線あるいはグランド配

線に近接した領域であるか否かにかかわらず、チップの空き領域にMOS容量を敷き詰め、配線層、拡散層を利用して電源配線・グランド配線に接続させるようにしたものである。

【0011】

すなわち、本発明の方法は、半導体チップの機能情報に基づいて機能素子のレイアウトパターンを設計し配置するレイアウトパターン形成工程と、前記レイアウトパターンの存在しない空き領域を検出する空き領域検出工程と、前記空き領域に、ゲート酸化膜を絶縁膜とするMOS容量セルの配置が可能であるか否かを判断する判断工程と、上記判断工程で可であると判断された領域にMOS容量セルを配置する工程と、前記MOS容量セルのゲート導体を第1の電位に接続するとともに、基板を第2の電位に接続するように配線を形成する配線配置工程とを具備したことを特徴とする。

【0012】

かかる方法によれば、空き領域を検出して、空き領域にMOS容量セルを形成し、必要である場所で、配線を行うことによってデカッピング容量を増大する自動設計が容易に可能となる。なお、MOS容量セルを配置する工程では、判断工程で配置可能と判断された領域全体にセルを配置しておき、後の制約で不可であれば削除するのが、空き領域を最大限に利用するという点で望ましい。

【0013】

望ましくは、前記配線配置工程は、前記MOS容量セルのゲート導体を電源配線に接続するとともに、基板をグランド配線に接続する工程を含むことを特徴とする。

【0014】

また望ましくは、前記配線配置工程は、上層に形成される配線から前記ゲート導体への接続用のコンタクトを形成し、前記配線と電源配線との接続を行うよう、配線のレイアウトパターンを生成する工程を含むことを特徴とする。

【0015】

また望ましくは、上層に形成される配線から前記基板への接続用のコンタクトを形成し、前記基板とグランド配線との接続を行うように配線のレイアウトパ

ーンを生成する工程を含むことを特徴とする。

【0016】

また望ましくは、前記コンタクトは、下層に電源配線またはグランド配線があるところに形成されるコンタクトに前記配線を介して接続されることを特徴とする。

【0017】

また望ましくは、前記上層に形成される配線は、前記機能素子のレイアウトパターンのない領域であって、上に信号線がない領域を抽出する工程を含み、前記抽出された領域に配置されることを特徴とする。

【0018】

また望ましくは、前記配線のレイアウトパターン生成工程は、前記レイアウトパターンから下地層パターンの有無を検出し、同一層に機能素子のレイアウトパターンがあるか否かを検知し、配線の生成可能領域を抽出する工程とを含むことを特徴とする。

【0019】

また望ましくは、前記配線のレイアウトパターン生成工程は、前記レイアウトパターンから下地層パターンの有無を検出するとともに、前記レイアウトパターンから上層パターンの有無を検出し、同一層に機能素子のレイアウトパターンがあるか否かを検知し、前記下地層パターンと前記上層パターンとの間に位置する中間層配線の生成可能領域を抽出する工程とを含むことを特徴とする。

【0020】

また望ましくは、前記配線配置工程は、連続する2層のダミーパターンセルが交差パターンを有し、各層のダミーパターンセルが相互に、前記交差パターンの交差領域に相当する領域に島状の孤立パターンをもつように構成されたことを特徴とする。

【0021】

かかる構成によれば、MOS容量セルを電源電位あるいは接地電位などの所望の電位に接続するのに配線長を低減し接続を容易にすることができる。また接続したり、接続することなく浮遊状態にしたりするために、孤立パターンにスルーホ

ールを形成するか否かで、容易に接続状態をコントロールすることが可能となる。

【0022】

また、電源直下に敷き詰められたデカップリング容量は、直上にビアをうてば電源電位の接続が容易となる。ここで電源配線が上位層である場合には、MOS容量セルの上部があいていれば（信号線が形成されていなければ）自動的にスタック用のビアおよびパッドを形成するようとする。

【0023】

一方電源配線から離れたところに配置されたMOS容量セルは、配線を十字状に形成してセルと等ピッチで形成するようにすれば、容易に接続可能である。

【0024】

また望ましくは、前記ダミーパターンセルは、十字状パターンと前記十字状パターンで分割された4つの領域にそれぞれ孤立の島状パターンを有する第1層セルと、前記第1層セルと連続する上層または下層に位置し、4個の前記島状パターンに相当する4点で交差するように配置されたシャープ符号状パターンからなる第2層セルとで構成されており、第1層および第2層のそれが電源配線およびグランド配線を構成していることを特徴とする。

【0025】

かかる構成によれば、MOS容量セルを電源電位あるいは接地電位などの所望の電位に接続したり、接続することなく浮遊状態にしたりすることができ、極めてシンプルなダミーパターンセルを構成するものである。

【0026】

また望ましくは、さらに、前記機能素子、前記MOS容量素子および前記配線を構成する各層のレイアウトパターンからその面積率を抽出する工程と、前記レイアウトパターンを構成する各層のプロセス条件にもとづいて得られる層毎のレイアウトパターンの最適面積率を考慮して、層毎のマスクパターンの面積率をあわせるように、前記レイアウトパターンに、ダミーパターンを追加配置するダミーパターン追加工程とを含み、各層の面積率を揃えるようにしたことを特徴とする。

【0027】

かかる方法によれば、プロセス条件を考慮し、回路の機能的にはパターンの不要な領域にもダミーパターンを残しておくことで、エッチング種、注入イオンなどの集中を防ぐことができるとともに、またマクロな次元での平坦化を防ぐことができ、パターン精度の向上および拡散層の不純物プロファイルの最適化、あるいは表面の平坦化をはかることが可能となる。

【0028】

また望ましくは、前記レイアウトパターン形成工程で形成されたレイアウトパターンを所望の大きさの小領域に分割する工程と、分割された前記小領域毎にレイアウトパターンの面積率を抽出する工程と、マスクパターンの面積率をあわせるように、ダミーパターンを追加配置するダミーパターン追加工程とを含み、前記小領域毎に各層の面積率を揃えるようにしたことを特徴とする。

【0029】

かかる構成によれば、小領域毎に、面積率をそろえることにより、当該層全体として面積率を最適化することが可能となる。また小領域毎に追加するダミーパターンの大きさとピッチとを調整することにより、容易に面積率の最適化をはかることが可能となる。

【0030】

また望ましくは、さらに面積率の異なるダミーパターンセルを複数種用意する工程を含み、前記ダミーパターン追加工程は、当該小領域の面積率に応じて所望のダミーパターンセルを選択する工程を含むことを特徴とする。

【0031】

かかる構成によれば、面積率の異なるダミーパターンセルから、最適なダミーパターンセルを選択することにより、容易に面積率をそろえることができ、当該層全体として面積率を最適化することが可能となる。またこの複数種のダミーパターンセルは、小領域毎に大きさとピッチとの異なる追加ダミーパターンを用意することにより、容易に最適なダミーパターンセルを選択することが可能となる。

【0032】

また望ましくは、ダミーパターン形成後の面積率を算出し、あらかじめ決められた条件の範囲内であるか否かを判定して、入っていない場合に、前記ダミーパターンのうちいくつかを取替え、最適なダミーセルを算出する工程とを含むことを特徴とする。

【0033】

また望ましくは、前記ダミーパターン追加工程は、配線層、拡散層、ゲート導体、ウェルの少なくとも一つに対して実行されることを特徴とする。

【0034】

このようにして、自動的に効率よく半導体装置のパターン生成を行うことが可能となる。

【0035】

また、本発明の半導体装置用パターン生成装置は、半導体チップのレイアウトデータからレイアウトパターンを形成するレイアウトパターン形成手段と、この半導体チップ上でレイアウトパターンの存在しない空き領域を検出する空き領域検出手段と、レイアウトパターン形成手段で形成されたレイアウトパターンからデザインルールによるテクノロジを考慮し、この空き領域検出手段で検出された領域とデザインルールとを論理演算する論理演算手段と、この論理演算手段で抽出された領域を、デカップリング容量追加配置領域とする配置手段とを含み、空き領域にデカップリング容量を追加配置するようにしたことを特徴とする。

【0036】

本発明の半導体装置の製造方法では、上記方法または装置を用いて生成された半導体装置用パターンに基づいて、各工程のマスクパターンを形成する工程と、前記マスクパターンを用いて各プロセスを実行し半導体装置を形成する工程とを含むことを特徴とする。

【0037】

また本発明の半導体装置は、上記方法または装置を用いて生成された半導体装置用パターンを具備している。

【0038】

望ましくは、前記半導体装置は、同一サイズのダミー容量セルの集合体であつ

て少なくともひとつの電気的接続をなさないダミー容量セルを含むことを特徴とする。

【0039】

なお、ここで機能素子とは、トランジスタ、メモリ、配線などLSIを構成する機能素子を含むものとする。

【0040】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しつつ詳細に説明する。

(第1の実施の形態)

図1は、本発明の実施の形態におけるパターン生成装置を示すブロック図である。この装置では半導体チップのレイアウトパターンを設計し配置するレイアウトパターン形成手段101と、この半導体チップ上でレイアウトパターンの存在しない空き領域を検出する空き領域検出手段102と、レイアウトパターン形成手段で形成されたレイアウトパターンからデザインルール103によるテクノロジを考慮し、この空き領域検出手段102で検出された領域とデザインルールとを論理演算する論理演算手段104と、この論理演算手段で抽出された領域を、デカップリング容量追加配置領域とする配置手段105とを含み、空き領域にデカップリング容量を追加配置するようにし、再度付加のなされたレイアウトパターンデータをレイアウトパターン形成手段101から出力するように構成されている。

ここでデザインルールによるテクノロジとはデザインルールにより算出したテクノロジをいい、セル、バイパスコンデンサ、配線などの部材の大きさを、拡散、スペッタリング、エッチングなどの各プロセスのデザインルールによって定義したものをいう。

【0041】

すなわちこのパターン生成装置では、図2及び図3にフローチャートを示すよにしてMOS容量付加のなされたレイアウトパターンを形成する。

【0042】

まず、不要輻射対策を考慮したLSIの開発を終え、レイアウト検証も終了した

半導体チップのレイアウトデータ（図4参照）（S201）から、図5に示すように、トランジスタ配置領域Tを抽出する（ステップS202）。ここで全工程にわたって、レイアウトデータは半導体チップの左下及び右上を位置合わせし、当該2点を基準として生成されるものとする。

【0043】

そして、このトランジスタ配置領域Tと当該半導体チップ領域とを論理演算にかけ、反転させることにより、半導体チップ上でトランジスタの配置されていない領域を抽出し、この領域を所定幅Wだけ小さくするリサイズ工程を実行する（論理演算ステップS203）。この反転によりトランジスタの配置されていない領域が得られ、これをリサイズにより縮小することにより、図6に示すようにセル形成可能な空き領域Vが得られる。

【0044】

さらにデザインルール（S204）にもとづき形成可能な隣接パターン間距離を考慮し、形成可能領域を抽出する（ステップS205）。

この後デカップリング容量用種パターンSを生成する（ステップS206）。

【0045】

そして、このデカップリング容量用種パターンSと、空き領域とを論理演算し（ステップS207）、図7に示すようにこのデカップリング容量用種パターンCSのみの半導体装置用レイアウトパターンを得る（ステップS208）。

【0046】

一方また前記半導体チップのレイアウトデータ（S201）から、全配線パターンPを抽出する（ステップS302）。

【0047】

そして、この配線パターン配置領域Pと当該半導体チップ領域とを論理演算にかけ、反転させることにより、半導体チップ上で配線の配置されていない領域を抽出し、この領域を所定幅Wだけ小さくするリサイズ工程を実行する（論理演算ステップS303）。この反転により配線配置されていない領域が得られ、これをリサイズにより縮小することにより、配線層ダミーセル形成可能な空き領域VCが得られる。

【0048】

さらにデザインルール（S304）にもとづき形成可能な隣接パターン間距離を考慮し、ダミー配線形成可能領域を抽出する（ステップS305）。

【0049】

この後ダミー配線用種データDを生成する（ステップS306）。

そして、このダミー配線用種データDと、配線層ダミーセル形成可能な空き領域V_Cとを論理演算し（ステップS307）、図8に示すように、この配線層ダミー用種データのみの半導体装置を得る（ステップS308）。

【0050】

さらにまた、前記半導体チップのレイアウトデータ（S201）から、図9に示すように、電源及びグランド配線を各配線層別にパターンを抽出する（ステップS402）。

【0051】

このようにして得られた配線層ダミー用種データとデカップリング容量用種データとを合成し（ステップ500）、合成領域において、差し替え用図形パターンを複数種用意しておき（ステップ501）、境界にかかるて形成不可能な領域では種パターン差し替えを行い（ステップ502）、デカップリング容量用パターンと、配線用ダミーパターンのみの半導体装置を得る（ステップ503）。

【0052】

この後、前記ステップ503で得られた半導体装置のレイアウトパターンに、図10に示すように、前記ステップ402で前記半導体チップのレイアウトデータ（201）から抽出された電源及びグランド配線の各パターンを合成する（ステップ600）。

【0053】

そしてこのパターンデータから、ゲート導体、拡散層、各層の配線の面積率を算出する（面積率算出ステップ601）。

【0054】

この後、プロセス条件701から、ゲート導体、拡散層、配線の最適面積率を得る（702）。ここでは例えばポリゲートを用いておりゲート導体の最適面積率

は25%、CMP前の下地配線の最適面積率は65%以上であった。

【0055】

そして面積率算出ステップ601で得られたゲート導体、拡散層、各層の配線の面積率にもとづいて、前記ステップ702で得られた最適面積率となるように、デカッピング容量用パターンおよびダミー用配線を調整する（ステップ602）。

【0056】

このようにして、図11（a）乃至（c）に示すように、スタック用コンタクト図形パターンの生成を行う（ステップ603）とともに、電源接続用図形パターンの生成を行う（ステップ604）。この電源接続用図形パターンについては後述する。

【0057】

そしてこれに当初の半導体チップのレイアウトデータ（201）を合成し（ステップ606）、半導体装置の最適レイアウトデータを得ることができる（ステップ607）。

【0058】

この電源接続用図形パターンは、図11（a）乃至（c）に示すように、半導体基板1に形成された拡散領域1Sとゲート電極3とがゲート酸化膜2を絶縁膜として挟んだMOS容量セルの上に、接続用として形成したダミーパターンセルである。このダミーパターンセルは交差パターンを有し、交差パターンの上層または下層のダミーパターンセルが相互に、前記交差パターンの交差領域に相当する領域に島状の孤立パターンをもつように構成されている。

【0059】

すなわち、このダミーパターンセルは、図11（b）に示すように、十字状パターンと前記十字状パターンで分割された4つの領域にそれぞれ孤立の島状パターンを有する第1層セル4と、前記第1層セル4と連続する上層または下層に位置し、図11（c）に示すように、前記4個の島状パターンに相当する4点で交差するように配置されたシャープ符号状パターンからなる第2層セル5とで構成されており、第1層および第2層のそれぞれが電源配線およびグランド配線を構

成していることを特徴とする。ここで、図11（a）および図11（b）はそれぞれ図11（c）のA-A断面、およびB-B断面を示す図である。10は層間絶縁膜である。

【0060】

このようにして、MOS容量セルを電源電位あるいは接地電位などの所望の電位に接続するのに配線長を低減し接続を容易にすることができる。また接続したり、接続することなく浮遊状態にしたりするために、孤立パターンにスルーホールを形成するか否かで、容易に接続状態をコントロールすることが可能となる。また孤立パターンを貫通するようにスルーホールを形成することにより、1層とばして、上層側または下層側で電源電位に接続できればよい。

【0061】

また、電源直下に敷き詰められたデカップリング容量は、直上にビアをうてば電源電位との接続が容易となる。ここでMOS容量セルの上部があいていれば（信号線が形成されていなければ）自動的にスタック用のビアおよびパッドを形成するようにする。

【0062】

このようにして電源配線から離れたところに配置されたものであっても、デカップリング容量の増大をはかることができる。また配線を十字状に形成してMOS容量セルと等ピッチで形成することにより、容易に接続可能である。

【0063】

なお、面積率算出ステップ601以降のステップにより、プロセス条件に対応して面積率を調整することにより、レイアウト設計に高精度に対応したパターンを得ることが可能となる。

【0064】

すなわちこれは以下のようない由によるものである。
例えば配線パターンの形成に際しては、多結晶シリコン層、アルミニウム層、金属シリサイド層などの導電性膜を形成した後、フォトリソグラフィにより所望のマスクパターンを形成し、このマスクパターンをマスクとしてエッチングを行うことにより、配線パターンの形成がなされる。

【0065】

エッティング工程においては、マスクパターンから露呈する導電性膜が選択的に除去されるが、エッチャントの濃度、温度などの諸条件を最適化しても、マスクパターンの密度（面積率）ひいてはマスクパターンの周辺長によってエッティング速度にばらつきがある。このため、マスクパターンの密度あるいはパターンピッチによって、エッティング精度が異なり、マスクパターン領域が大き過ぎても小さ過ぎてもエッティング精度が低下する。

【0066】

また、拡散層の形成についても同様の問題があり、拡散層形成のためのイオン注入領域が狭過ぎると、イオンの集中が生じ、所望の拡散プロファイルを得ることができないことがある。

【0067】

また基板表面の平坦化のためにCMP（Chemical Mechanical Etching）という方法が提案されているが、この方法は例えば、塗布法あるいはCVD法などにより、表面に絶縁膜を形成した後、機械的に研磨しながら、化学的にエッティングを行うことにより、表面の平坦化をはかるものである。しかしながら、下層の配線層のパターン密度が小さい場合、所定面積以上のパターンのない領域が存在すると、絶縁膜を厚く形成しても平坦化できず、その結果CMPを行っても配線パターンのない領域が凹部となり、へこんだ状態のままとなることがある。

【0068】

このように、レイアウトパターンに偏りがある場合、当該層について十分なパターン精度を得ることができないのみならず、当該層よりも上層のパターン精度にも影響を及ぼし、プロセス精度を十分に得ることができないという問題があつたが、上記面積率の調整ステップを行うことにより、プロセス精度を高めることができる。

【0069】

（第2の実施の形態）

またダミーパターンセルの変形例として、図12（a）乃至（c）に示すような構造も有効である。すなわち、このダミーパターンセルは、図12（a）に単

位ユニット、図12（b）にその接続体、図12（c）に断面図を示すように、セルと等ピッチで形成された、十字状パターンを有する第1層セル4、6、8と、前記第1層セル4、6、8と連続する上層または下層に位置するシャープ符号状パターンからなる第2層セル5、7、9とを相互にずらして形成してもよい。

【0070】

ここで、図12（a）は1ユニット、図12（b）はその組み合わせ、図12（c）は図12（b）のA-A断面を示す図である。10は層間絶縁膜である。

【0071】

かかる構成によれば、電源配線及びグランド配線への接続は敷き詰められたセル近傍へは横方向に接続、またセルの上方に電源あるいはグランド配線があれば上層の配線で接続すればよい。

【0072】

このようにして、MOS容量セルを電源電位あるいは接地電位などの所望の電位に接続するのに配線長を低減し接続を容易にすることができる。

【0073】

（第3の実施の形態）

また、電源配線及びグランド配線への接続に際し、配線が利用できないときは、図13に示すように、セルを配置した状態で拡散層1S同士、ゲート3同士が接続されるようなセル形状をとるようにしてよい。

【0074】

かかる構成によれば、どこか一部でも電源配線、あるいはグランド配線に接続できれば接続された全セルをセルとして利用することが可能である。

【0075】

また、上層あるいは下層に余分のメタル配線を形成する必要がないため、配線容量の増大を防ぐことができる。これにより、配線容量が気になる領域ではこのような構造をとることにより、配線容量を増大することなくカップリング容量の追加を行うことが可能となる。

【0076】

（第4の実施の形態）

また図14に示すように、拡散層1S同士を配線Mで接続するようにしても、同様の効果を得ることが可能となる。

【0077】

(第5の実施の形態)

本発明の方法は、MOS容量セルとしてゲート酸化膜の厚い領域と薄い領域とを有するLSIにおいても、本発明の方法によれば、自動配置配線が容易であるため、用途に応じた条件を加味して自動配置配線を行うことができる。

例えば、高耐圧である必要があるアナログ回路領域などでは、ゲート酸化膜の膜厚を大きくする必要があるのに対し、他の論理回路領域ではゲート酸化膜の膜厚は大きくする必要がない。そこで、アナログ回路領域ではゲート酸化膜の膜厚を大きくし、他の論理回路領域ではデカップリング容量を大きくするためゲート酸化膜の膜厚を比較的小さくした構造が望ましいが、近年、半導体装置の高集積化・高機能化に伴い、ゲートリーアクの問題が浮き彫りになってきており、信頼性の向上を目指して、論理回路領域でも厚いゲート酸化膜を採用する傾向にある。例えば、アナログ回路領域を耐圧3.3V仕様、他の論理回路領域を耐圧1.5Vとしていたのに対し、近年では他の論理回路領域でも耐圧3.3Vとするものが出現している。このような場合、論理回路領域で不要輻射対策としてデカップリング容量を増大したい場合に、デカップリング容量を最大限に付加することが可能となる。

【0078】

このように、本発明によれば、空き領域を抽出し最大限に多くデカップリング容量を形成することができるため、ゲートリーアクの低減とデカップリング容量の増大というトレードオフ関係にある機能を満たすことが可能となる。すなわちゲートリーアクを低減しながら、デカップリング容量を増大することが可能となる。

【0079】

このようにして、高周波動作による不要輻射ノイズを低減する機能の高い半導体装置を提供することが可能となる。

【0080】

また、仕様を考慮して、デザインルールから領域の状況を判断し、領域毎に特

性の異なるバイパスコンデンサを設けることも可能である。例えば、電源配線に近い、チップの外周部では、サージ対策のために高耐圧である必要があるのに対し、内部では特に高耐圧である必要はないため、チップ外周近傍ではゲート酸化膜を厚くし、内部では薄くしている。

【0081】

また、チップ外周近傍でのみ多層構造のゲート酸化膜とするなどの方法をとるよりもよい。

また機能素子の近傍では周波数特性が重要であり、高周波用である場合は大容量のバイパスコンデンサを形成する必要があるのに対し、低周波用である場合には小容量のバイパスコンデンサとなるように、使用する周波数帯域に応じて適切なものを選択してもよい。

【0082】

(第6の実施の形態)

前記第1の実施の形態ではレイアウトパターンの空き領域を検出し空き領域にMOS容量セルを配置するようにしたが、各層ごとに面積率を考慮しながらダミーパターンを配置し、最後に拡散領域、ゲート酸化膜、ゲート電極の垂直方向の配列を考慮しデカップリング容量を形成し、MOS容量付加のなされたレイアウトパターンを形成するようにしてよい。

ここでは図15に示すように、不要輻射対策を考慮したLSIの開発を終え、レイアウト検証も終了した半導体チップのレイアウトデータからレイアウトパターンを形成するレイアウトパターン形成手段1101と、このレイアウトパターンに基づいて層毎の空き領域検出を行う空き領域検出手段1102と、デザインルール1103に基づく各層のパターン形成のための最適面積率を抽出する最適面積率抽出手段1104と、空き領域検出手段1102から各層の面積率を算出し、最適面積率となるように、ダミーパターンを配置するダミーパターン配置手段1105と、更にこれらのダミーパターンのうち拡散領域とゲート導体との間の垂直方向の位置関係を考慮し、デカップリング容量の付加が可能かどうかを判断し可能である領域には電源配線およびグランド配線との接続を行う容量配置手段1106とを具備したことを特徴とする。

この場合のパターン生成方法について、図16乃至図18にフローチャートを示す。

【0083】

まず、不要輻射対策を考慮したLSIの開発を終え、レイアウト検証も終了した半導体チップのレイアウトデータ（S1201）から、トランジスタ配置領域Tを抽出する（図5参照）（ステップS1202）。ここで全工程にわたって、レイアウトデータは半導体チップの左下及び右上を位置合わせし、当該2点を基準として生成されるものとする。

【0084】

そして、このトランジスタ配置領域Tと当該半導体チップ領域とを論理演算にかけ、反転させることにより、半導体チップ上でトランジスタの配置されていない領域を抽出し、この領域を所定幅Wだけ小さくするリサイズ工程を実行する（論理演算ステップS1203）。この反転によりトランジスタの配置されていない領域が得られ、これをリサイズにより縮小することにより、図6に示したよう

にダミーパターンセル形成可能な空き領域Vが得られる。

【0085】

さらにデザインルール（S1204）にもとづき形成可能な隣接パターン間距離を考慮し、ダミーパターン形成可能領域を抽出する（ステップS1205）。ここでは拡散層、ゲート導体と層毎にステップS1205を実行する。

この後、拡散領域形成用ダミーパターン用種データおよびゲート導体形成用ダミーパターン用種データを生成する（ステップS1206）。

【0086】

そして、これら各層についての拡散領域形成用ダミーパターン用種データおよびゲート導体形成用ダミーパターン用種データのそれぞれとダミーパターン形成可能領域とを論理演算し（ステップS1207）、図19に示すようにこの拡散領域形成用ダミーパターン用種パターンおよびゲート導体形成用ダミーパターンデカップリング容量用種パターンのみの半導体装置を得る（ステップS1208）。

【0087】

一方また前記半導体チップのレイアウトデータ（S1201）から、全配線パターンを抽出する（ステップS1302）。

【0088】

そして、この配線パターン配置領域と当該半導体チップ領域とを論理演算にかけ、反転させることにより、半導体チップ上で配線の配置されていない領域を抽出し、この領域を所定幅Wだけ小さくするリサイズ工程を実行する（理演算ステップS1303）。この反転により配線配置されていない領域が得られ、これをリサイズにより縮小することにより、配線層ダミーセル形成可能な空き領域が得られる。

【0089】

さらにデザインルール（S1304）にもとづき形成可能な隣接パターン間距離を考慮し、ダミー配線形成可能領域を抽出する（ステップS1305）。

【0090】

この後ダミー配線用種データを生成する（ステップS1306）。

そして、このダミー配線用種データと、配線層ダミーセル形成可能な空き領域VCとを論理演算し（ステップS1307）、この配線層ダミー用種パターンのみの半導体装置を得る（ステップS1308）。

【0091】

このようにして得られた配線層ダミー用種パターンと拡散領域形成用ダミーパターン用種データ、ゲート導体形成用ダミーパターン用種データとを合成し（ステップS1500）、各ブロック（小領域）毎にゲート導体、拡散領域及び配線について合成を行う。そして各層に対してブロックごとに面積率を抽出する（ステップS1800）。そして、差し替え用図形パターンを複数種用意しておき（ステップS1501）、境界にかかるて形成不可能な領域では小さい種パターンと差し替えを行い、形成可能な領域には最適な種パターン差し替えを行い（ステップS1502）、目標面積率に沿うように最適化された拡散層用ダミーパターン、ゲート導体用ダミーパターン、配線層用ダミーパターンのみの半導体装置を得る（ステップS1600）。

ここでブロックとは1チップ全体ではなく、ある程度の大きさのウインドウを

持った枠を用い、その枠内で面積率計算を行っていく。このようにして、もともとのオリジナルレイアウト中に面積率が低いパターンが存在するウインドウ内の空き領域には、面積率が高めのダミーパターンを配置することが可能となり。チップ全体の平坦化に極めて有効な手法となる。

このようにして最適面積率に基づいて設定された目標面積率に沿うように最適化された拡散領域用ダミーパターン、ゲート導体用ダミーパターン、配線層用ダミーパターンのみの半導体装置が完成する。

【0092】

この後、前記ステップ1600で得られた最適化された拡散層用ダミーパターン、ゲート導体用ダミーパターン、配線層用ダミーパターンのみの半導体装置のレイアウトパターンに、前記半導体チップのレイアウトデータ（S1201）から抽出されたレイアウトパターンとを層毎に合成する（ステップS1606）。このようにダミーパターンのない半導体装置のレイアウトデータを合成することにより、未トランジスタ、未配線領域にダミーパターンのある半導体装置が完成する。

【0093】

この後、プロセス条件から、1チップとしてのゲート導体、拡散層、配線の最適面積率を算出する（S1901）。

そして再度1チップとして面積率計算を行い、面積率が足りなかつたり多すぎたりする場合は、差し替え用図形パターン2000から適切にダミーパターンセルD1を差し替える（ステップS2001）。

このようにして図20（a）および（b）に示すように、1チップとして最適な面積率に調整されたダミーパターンセルD2が生成される（ステップ2002）。

ここでセルの差し替えステップ2001では、均一にダミーパターンを配置した場所はあらかじめ特定できるので、面積率が足りない場合は、均一に配置した領域中のダミーパターンを均等に面積率の大きいものに変更することによって所望の面積率に調整されたダミーパターンが生成される。一方面積率が大きすぎる場合は、均一に配置した領域中のダミーパターンを均等に面積率の小さいものに

変更することによって所望の面積率に調整されたダミーパターンが生成される。

【0094】

そしてさらに図18にフローチャートを示すように、デカップリング容量の追加を行う。

まずデカップリング容量の追加を希望するか否かの判断を行い（ステップ2003）、要であるとデカップリング容量配置可能スペースを抽出する（ステップ2004）。ここでは、拡散領域パターンとゲート導体パターンとが垂直方向で一致して存在しているか否かを判断し、デカップリング容量形成可能スペースを抽出する。本実施の形態では、各層のパターン配置をする際にチップの左下と右上を確認し位置決めを行っているため、各層のダミーパターンを同一ピッチで配置し、全使用、1個おき、2個おきなどピッチを調整して面積率を調整すれば、垂直方向には自動的に重なるようにすることが可能である。

従って、差し替え用デカップリング図形パターン2008を用いてデカップリング容量の差し替えを行い（ステップ2005）、面積率調整およびデカップリング容量付加のなされた半導体装置のレイアウトパターンを生成する（ステップ2008）。ここでは、拡散領域パターン、ゲート導体パターンのいずれかを調整することにより、デカップリング容量付加を行うことが可能となる。

【0095】

電源配線及びグランド配線とデカップリング容量セルとの接続については、ダミー配線パターンとして前記第2乃至第5の実施の形態で説明したダミー配線セルを用いるようにしておくことにより、容易に達成可能である。

【0096】

このようにして、半導体装置の最適レイアウトデータを得ることができ、高周波動作による不要輻射ノイズを低減する機能の高い半導体装置を提供することができる。

【0097】

また、仕様を考慮して、デザインルールから領域の状況を判断し、領域毎に特性の異なるバイパスコンデンサを設けることも可能である。例えば、電源配線に近い、チップの外周部では、サージ対策のために高耐圧である必要があるのに対

し、内部では特に高耐圧である必要はないため、チップ外周近傍ではゲート酸化膜を厚くし、内部では薄くしている。

【0098】

また、チップ外周近傍でのみ多層構造のゲート酸化膜とするなどの方法を取るようにもよい。

また機能素子の近傍では周波数特性が重要であり、高周波用である場合は大容量のバイパスコンデンサを形成する必要があるのに対し、低周波用である場合には小容量のバイパスコンデンサとなるように、使用する周波数帯域に応じて適切なものを選択してもよい。

【0099】

なお、Pチャネルの容量セルとNチャネルの容量セルとを用意しておき、Pチャネルの容量セルの電源供給ができない場合はNチャネルの容量セルを配置しなおすようにすることも可能である。

【0100】

さらにまたPチャネルとNチャネルの両方の容量をもつ容量セルとを用意しておき、PチャネルとNチャネルの両方の容量配置をすることにより、一導電型の拡散領域に偏ることなく容量配置を行うことができるため、均一性を確保することができ、イオンの集中を防止し、所望の拡散プロファイルを得ることができる。

【0101】

【発明の効果】

以上説明したように、本発明の半導体装置は、空き領域下にセルを配置しておき、デカップリング容量の増大をはかるもので簡単な構成で、チップ面積の増大なしに、空き領域を利用してコンデンサを形成することが可能となり、ノイズの低減を図ることが可能となる。

【0102】

また、パターンの生成に際しても、チップのレイアウトパターンを生成した後、空き領域（他のレイヤーがまったく存在しない場所）を、図形論理演算、リサイクル処理を利用して、自動的に探し出し、この探し出した領域をデカップリング

容量配置領域として利用するもので、自動的にパターン生成が可能であり、高精度のノイズ低減が可能となる。

【0103】

また接続先の配線層もパターンとして形成することができ、より高精度のノイズ低減が可能となる。この時デザインルールを守るように配置することが必要であり、これによりさらに高精度で信頼の高いパターン形成を行うことが可能となる。

【0104】

かかる方法によれば、空き領域を検出して、空き領域にMOS容量セルを形成し、必要である場所で、配線を行うことによってデカップリング容量を増大する自動配置配線が容易に可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態のパターン生成装置を示すブロック図である。

【図2】本発明の第1の実施の形態のパターン生成方法を示すフローチャートである。

【図3】本発明の第1の実施の形態のパターン生成方法を示すフローチャートである。

【図4】本発明の第1の実施の形態のパターン生成プロセスを示す説明図である。

【図5】本発明の第1の実施の形態のパターン生成プロセスを示す説明図である。

【図6】本発明の第1の実施の形態のパターン生成プロセスを示す説明図である。

【図7】本発明の第1の実施の形態のパターン生成プロセスを示す説明図である。

【図8】本発明の第1の実施の形態のパターン生成プロセスを示す説明図である。

【図9】本発明の第1の実施の形態のパターン生成プロセスを示す説明図である。

【図10】本発明の第1の実施の形態のパターン生成プロセスを示す説明図である。

【図11】本発明の第2の実施形態を示す図である。

【図12】本発明の第3の実施形態を示す図である。

【図13】本発明の第4の実施形態を示す図である。

【図14】本発明の第5の実施形態を示す図である。

【図15】本発明の第6の実施形態のパターン生成装置を示すブロック図である。

【図16】本発明の第6の実施の形態のパターン生成方法を示すフローチャートである。

【図17】本発明の第6の実施の形態のパターン生成方法を示すフローチャートである。

【図18】本発明の第6の実施の形態のパターン生成プロセスを示すフローチャートである。

【図19】本発明の第6の実施の形態のパターン生成プロセスを示す説明図である。

【図20】本発明の第6の実施の形態のパターン生成プロセスを示す説明図である。

【符号の説明】

101 レイアウトパターン形成手段

102 空き領域検出手段

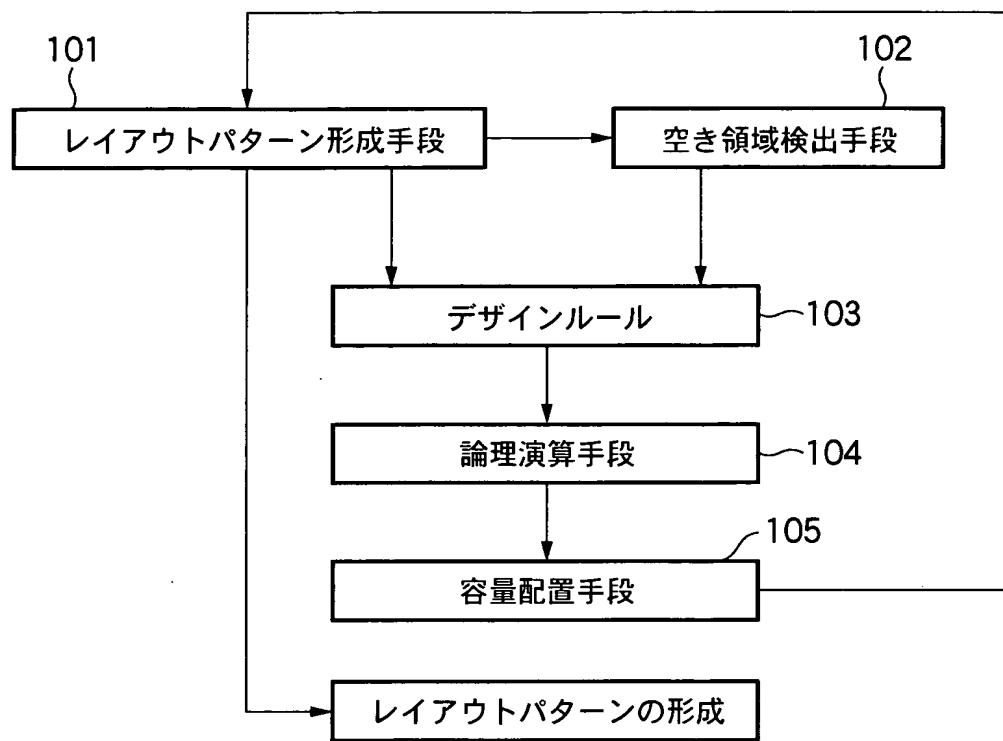
103 デザインルール

104 論理演算手段

105 配置手段

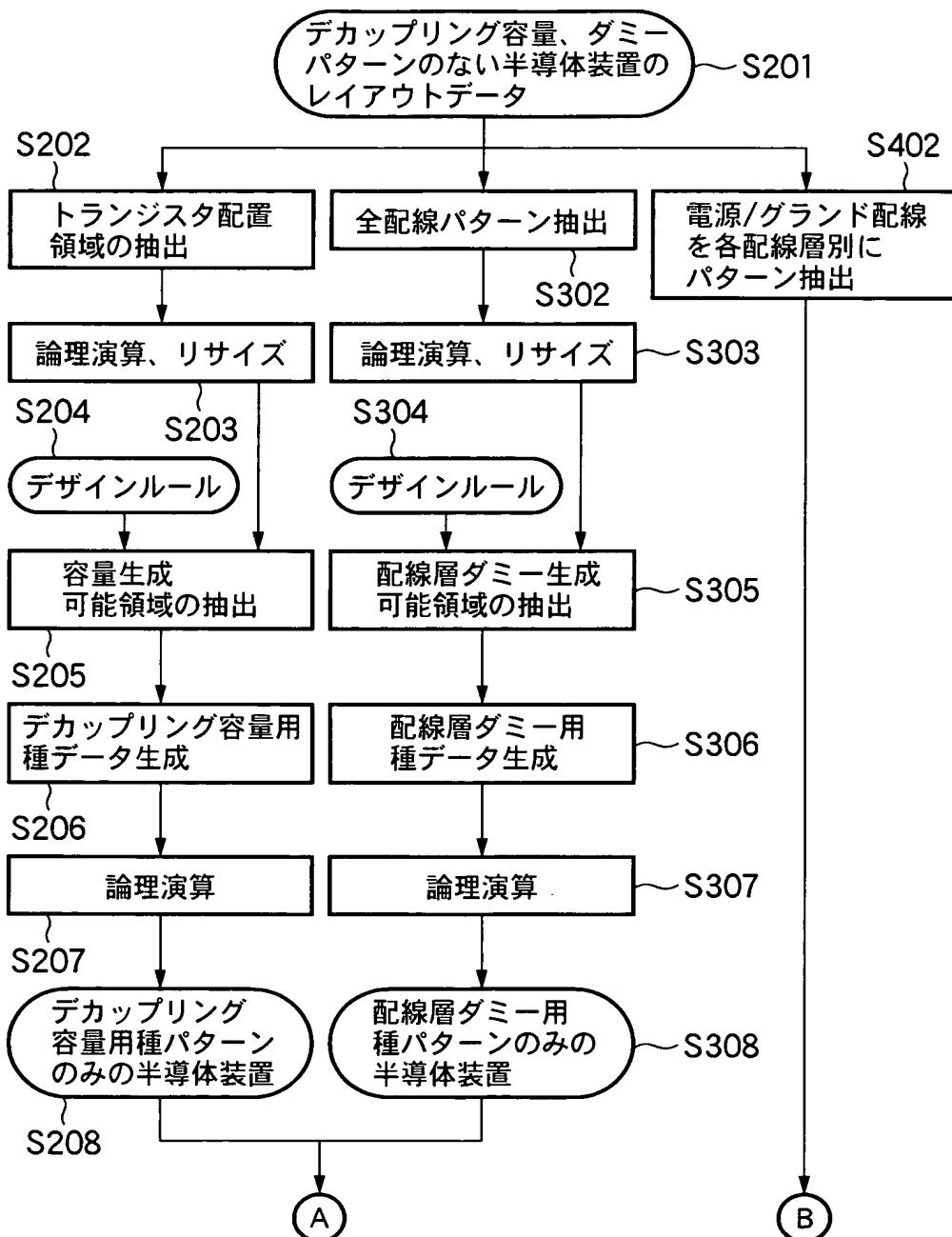
【書類名】 図面

【図 1】

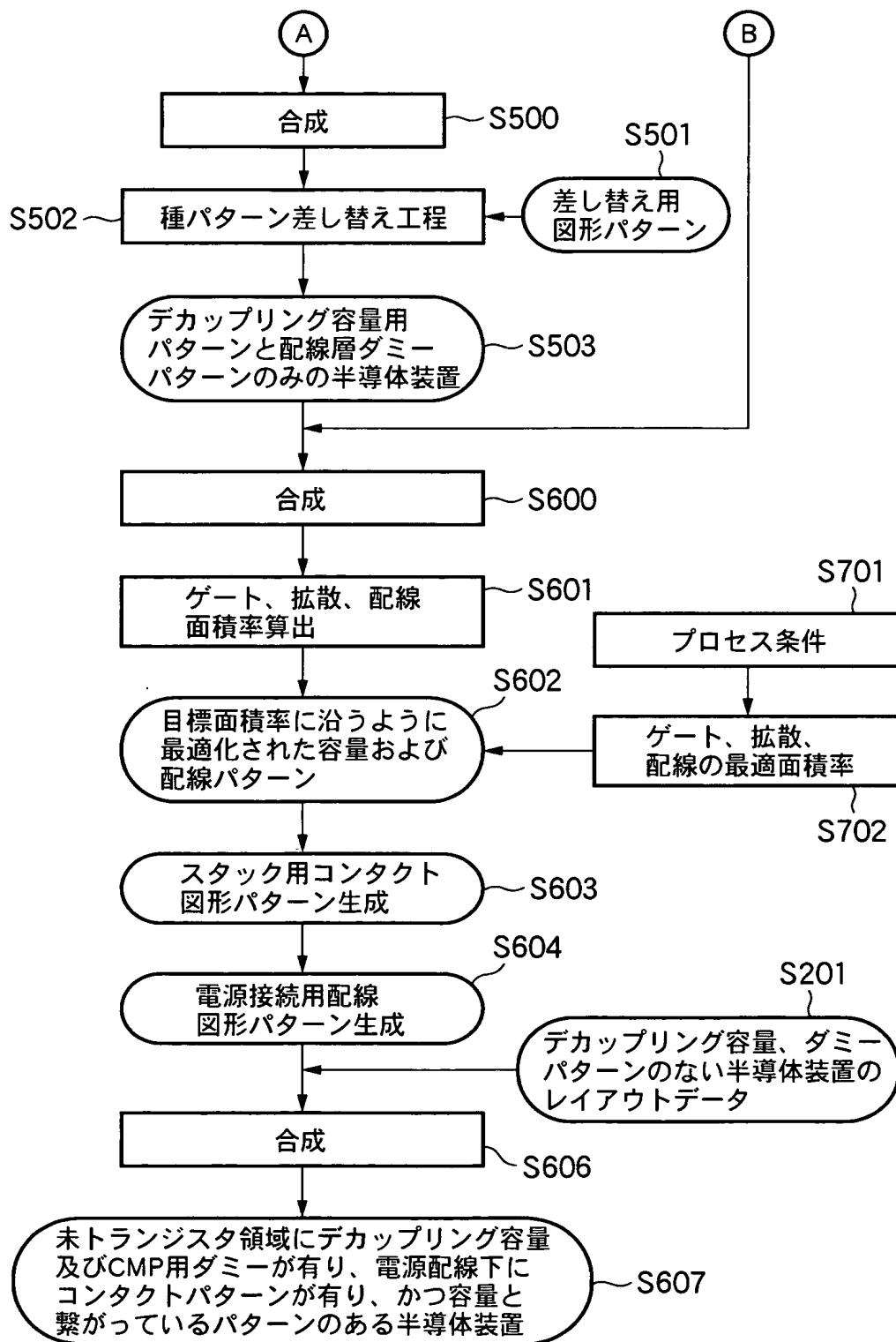


【図2】

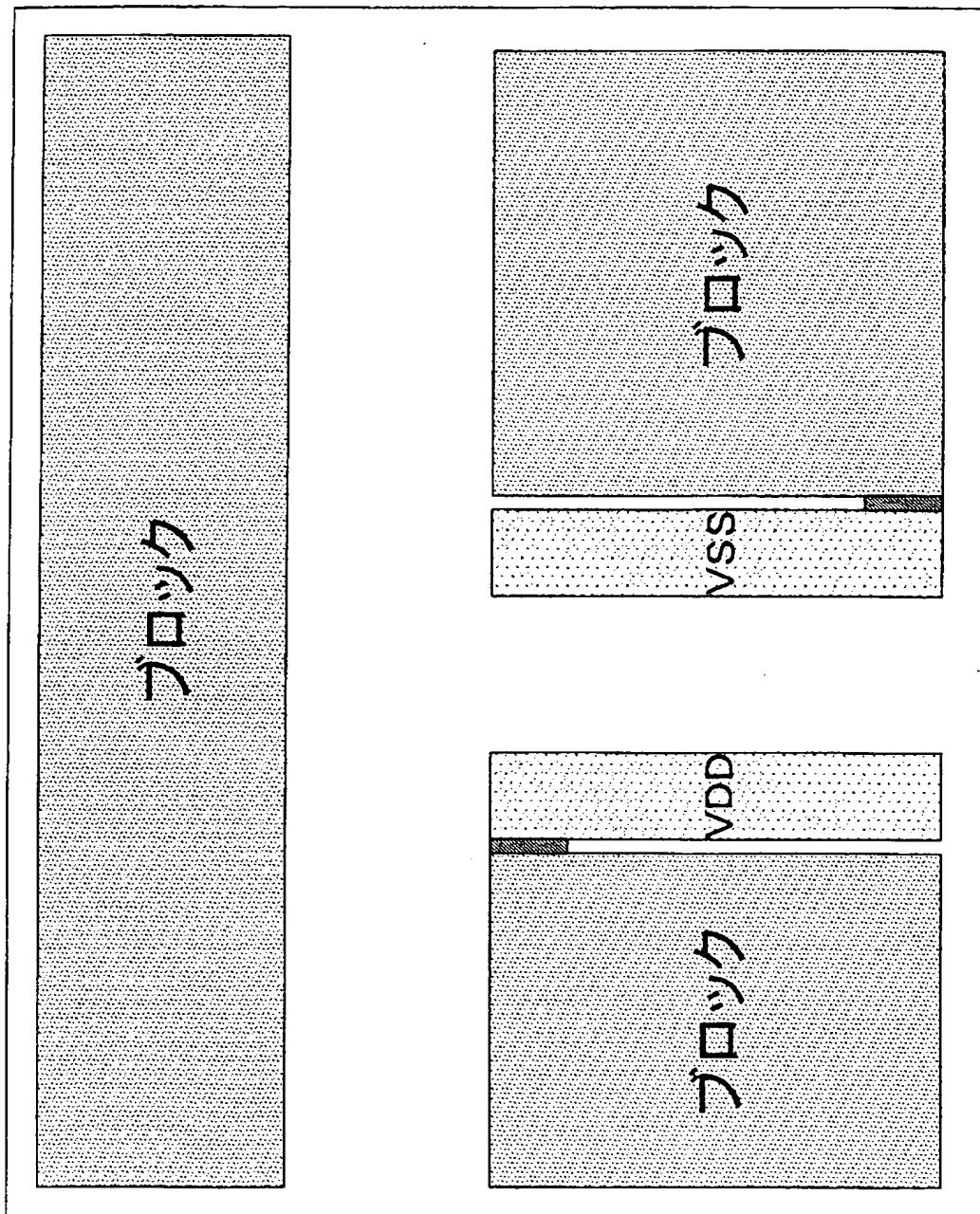
容量生成フローチャート



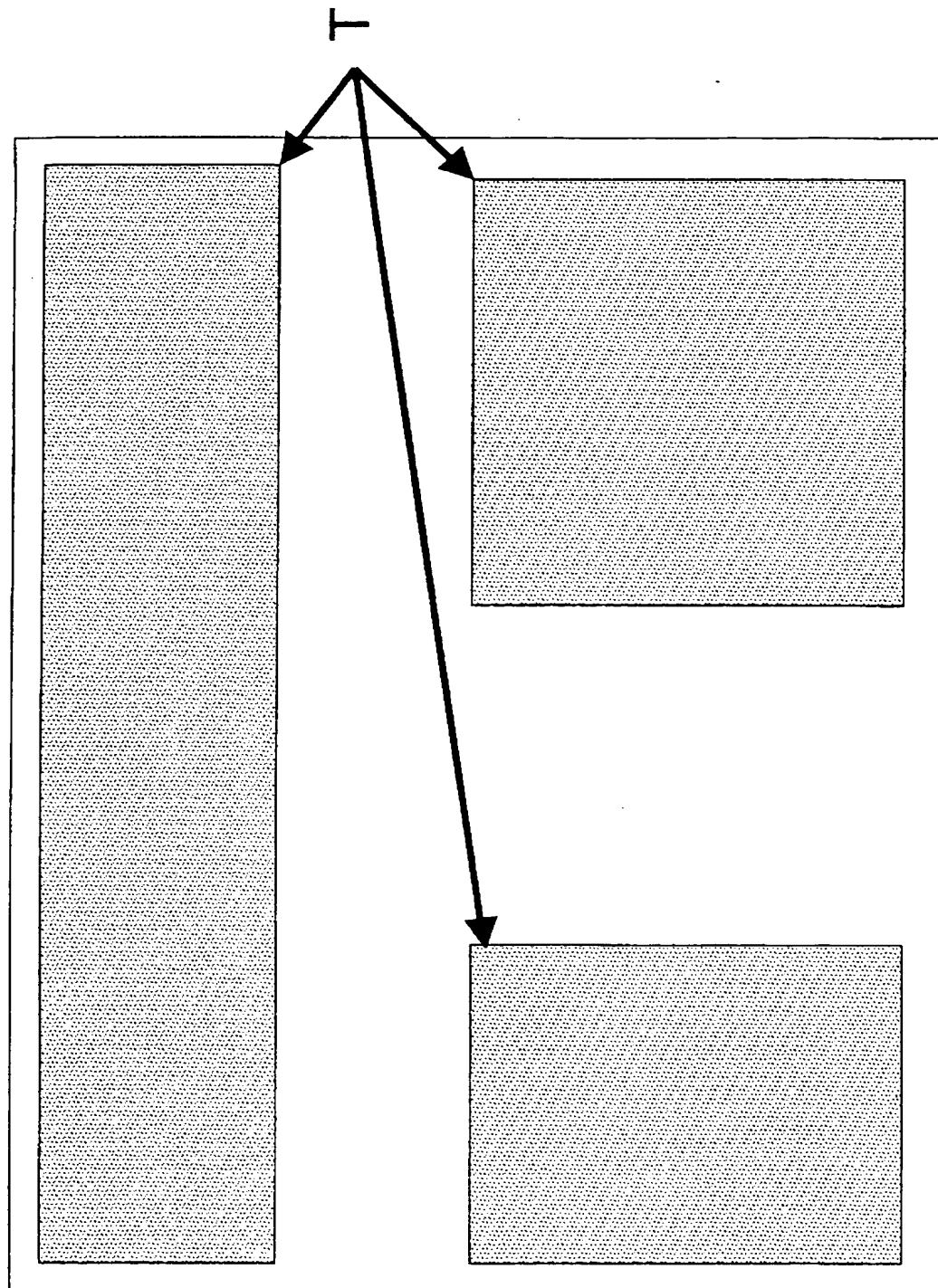
【図3】



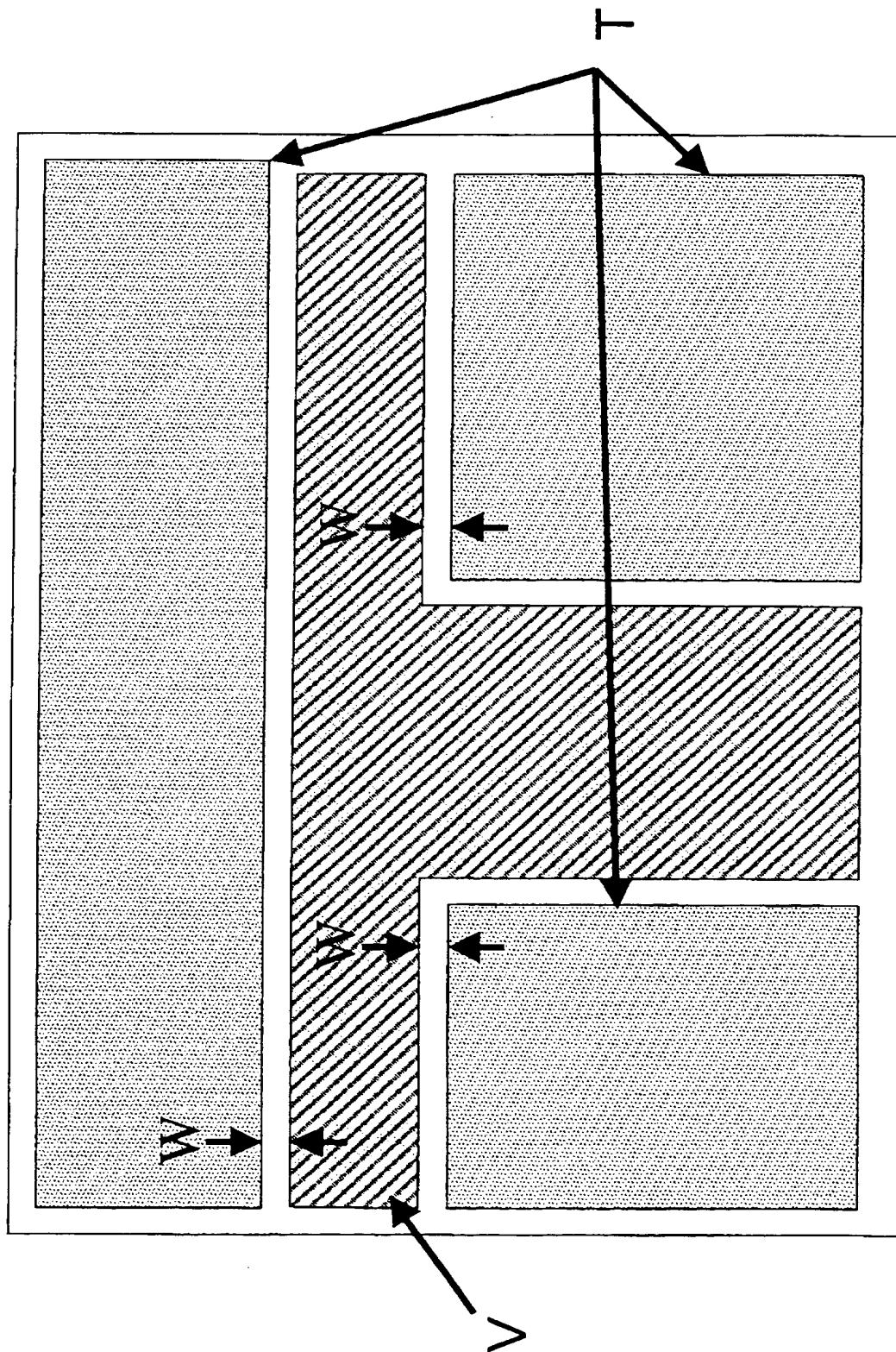
【図 4】



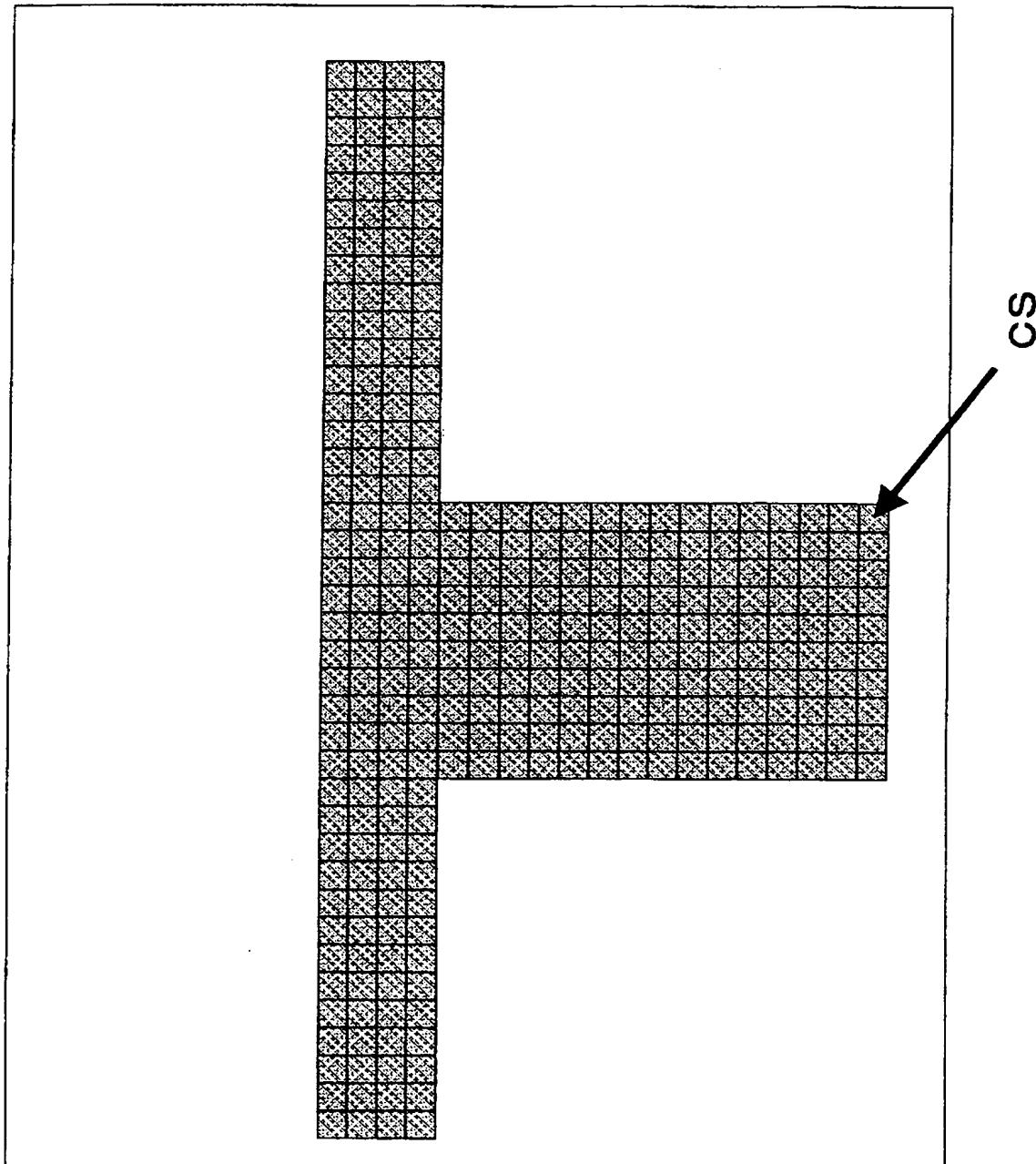
【図 5】



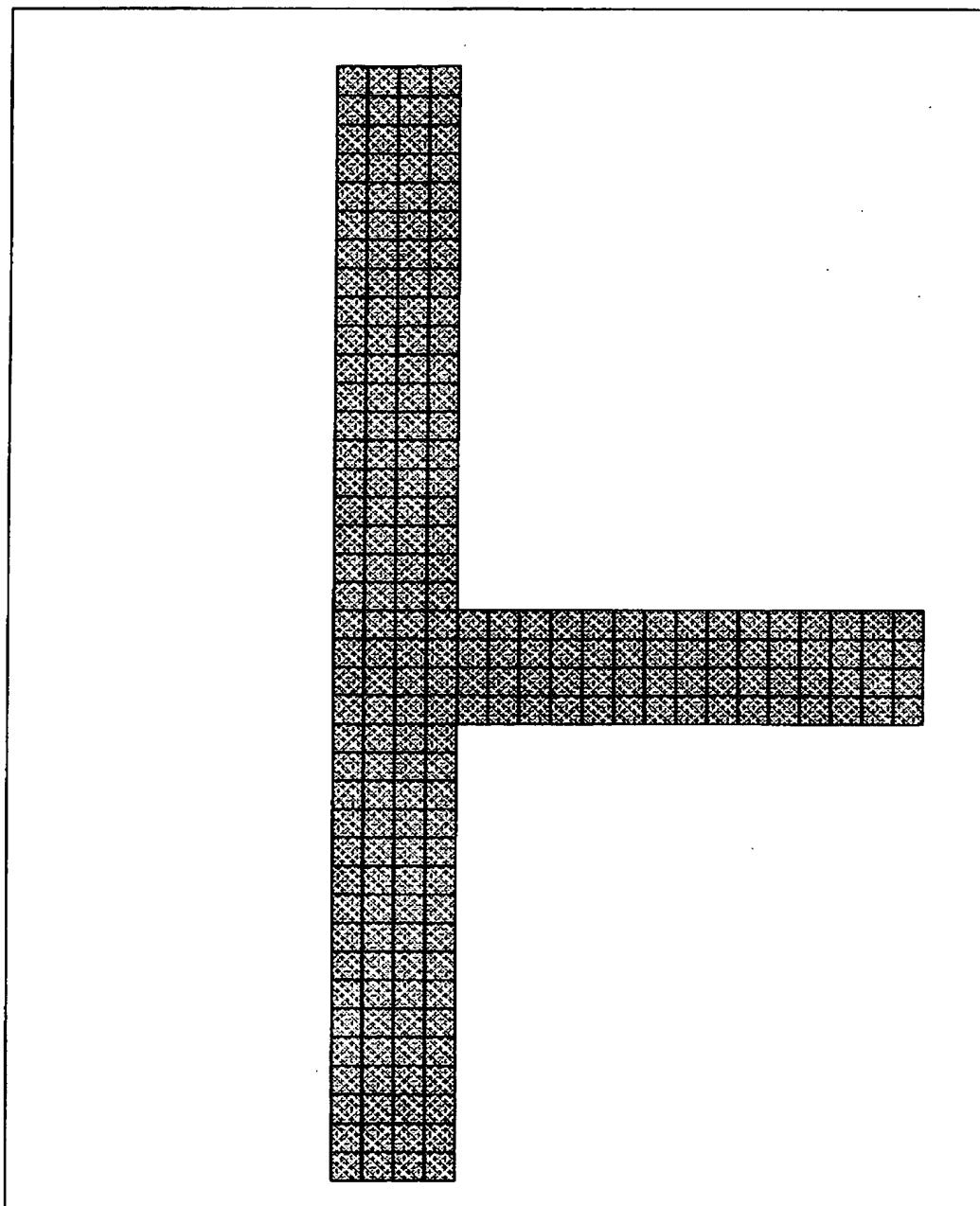
【図6】



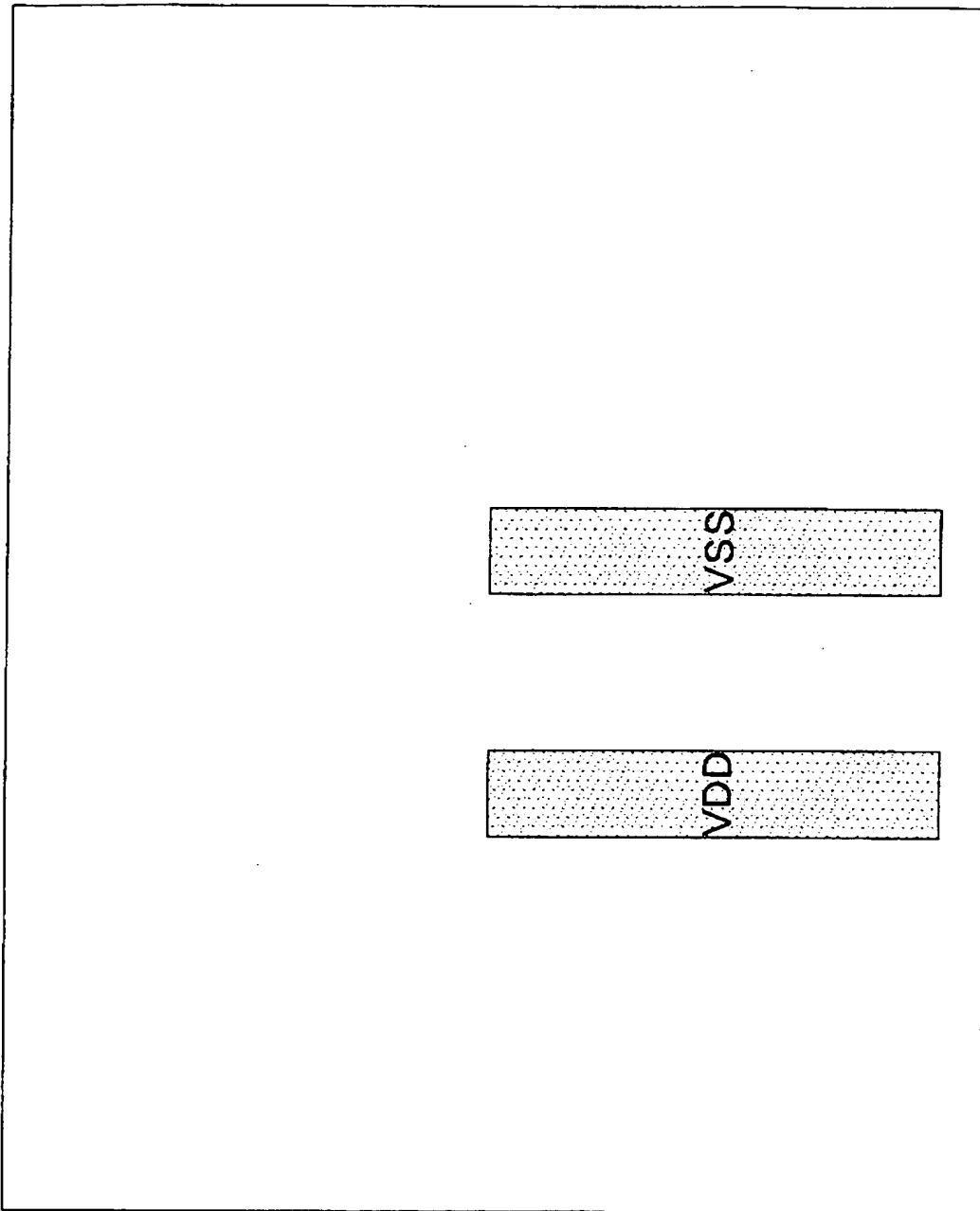
【図7】



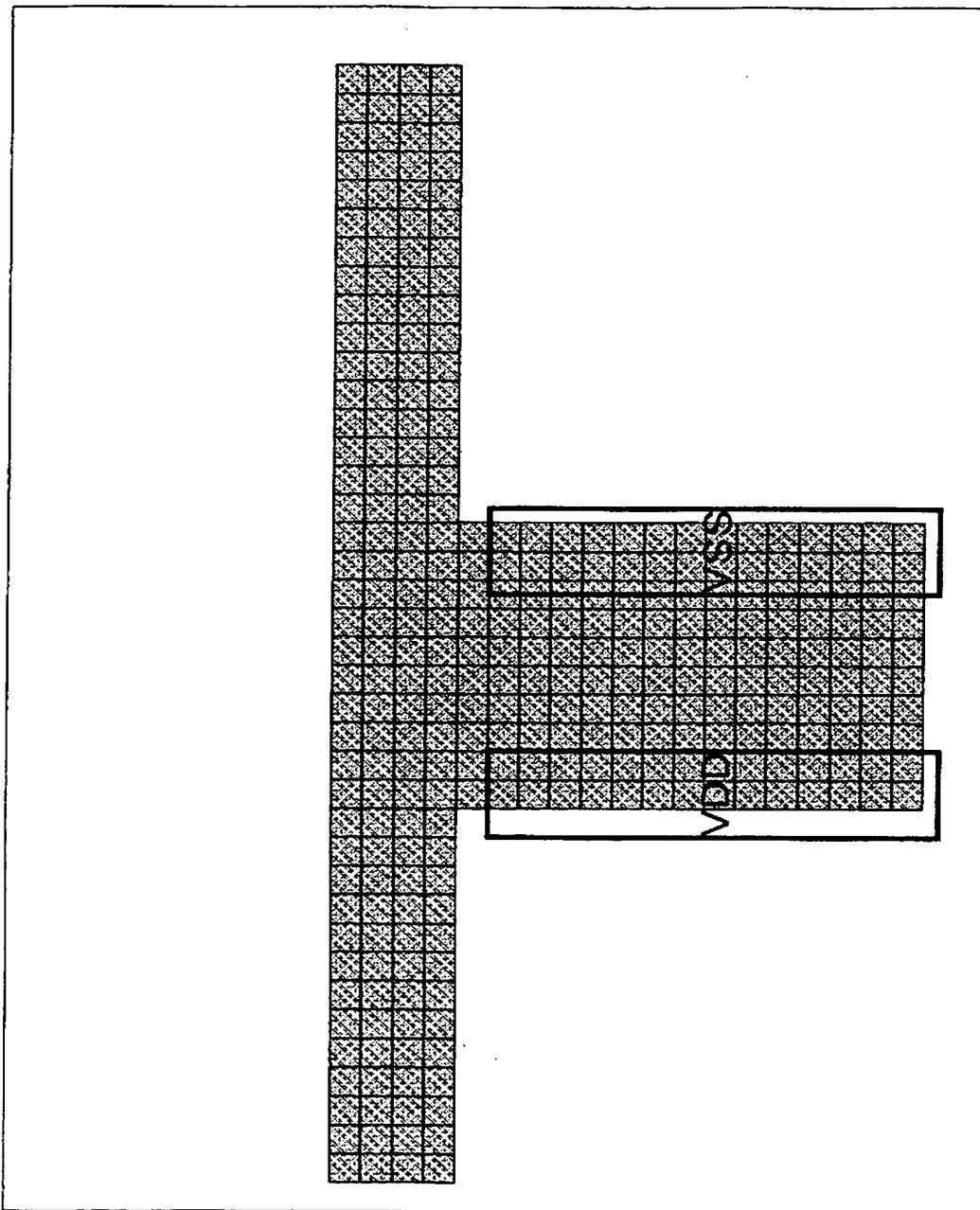
【図8】



【図9】

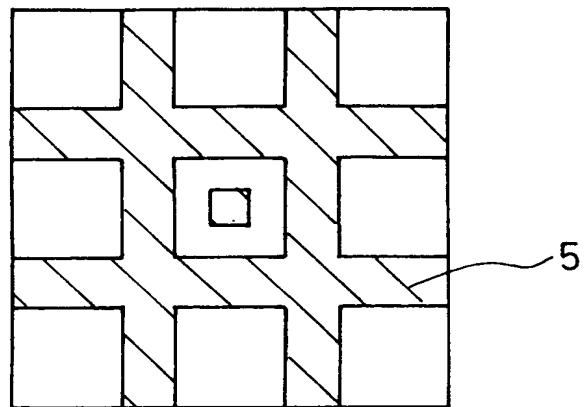


【図10】

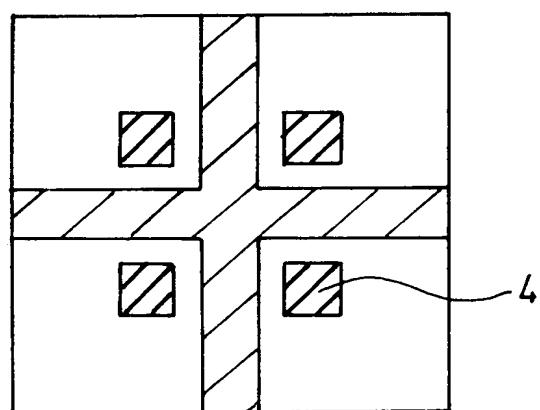


【図 1 1】

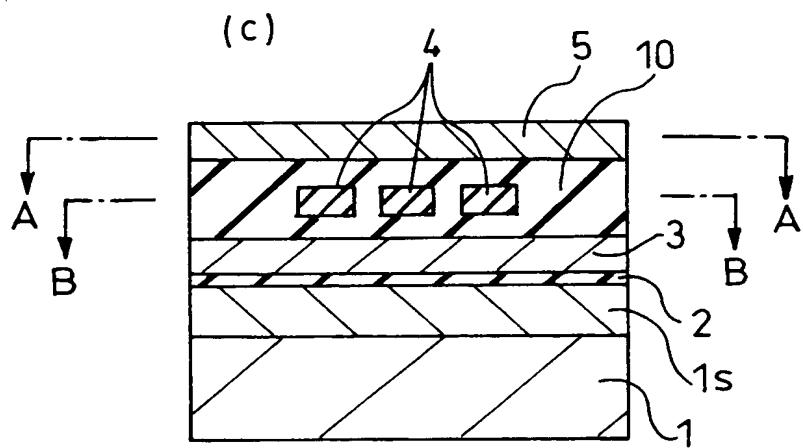
(a)



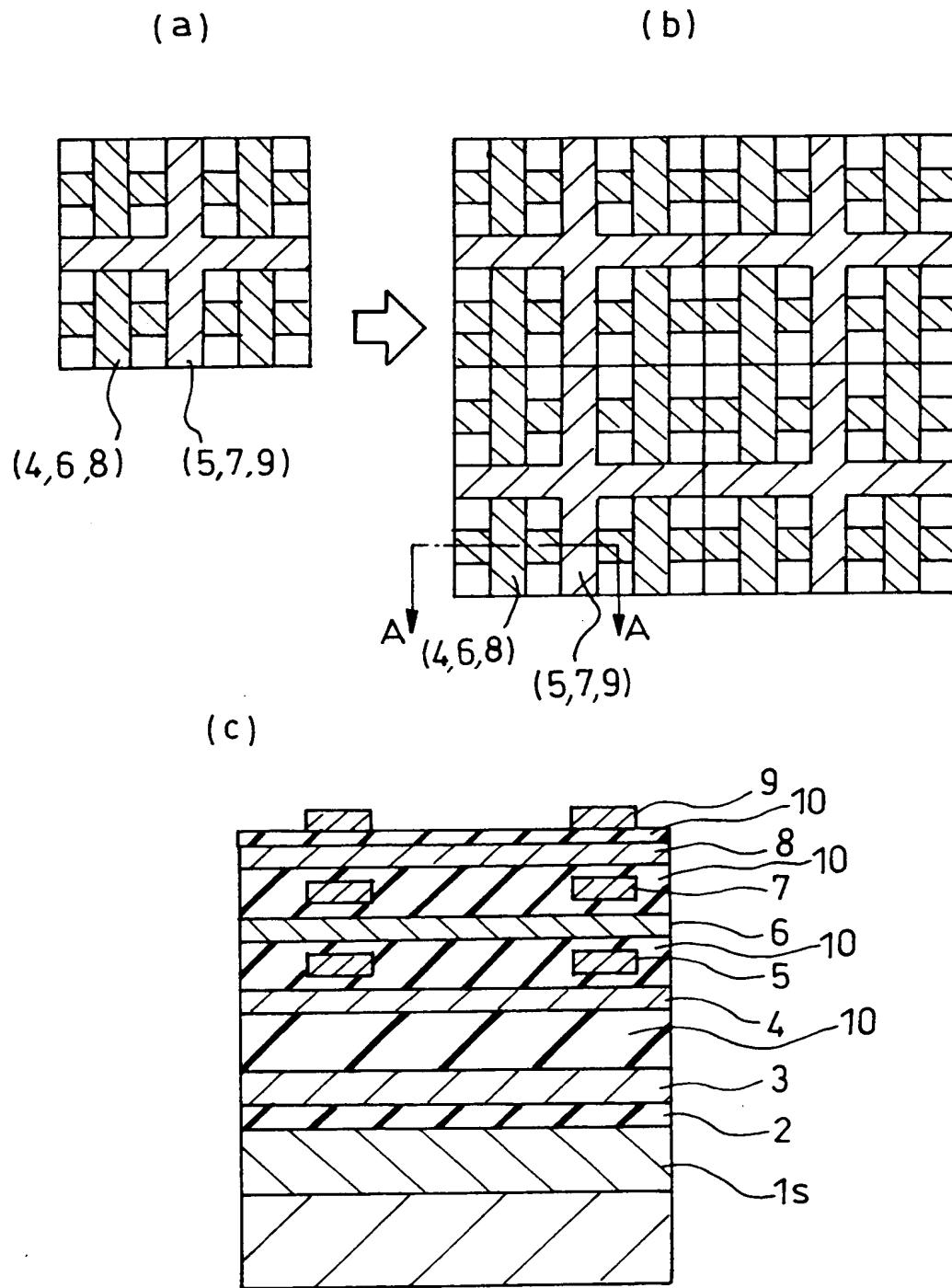
(b)



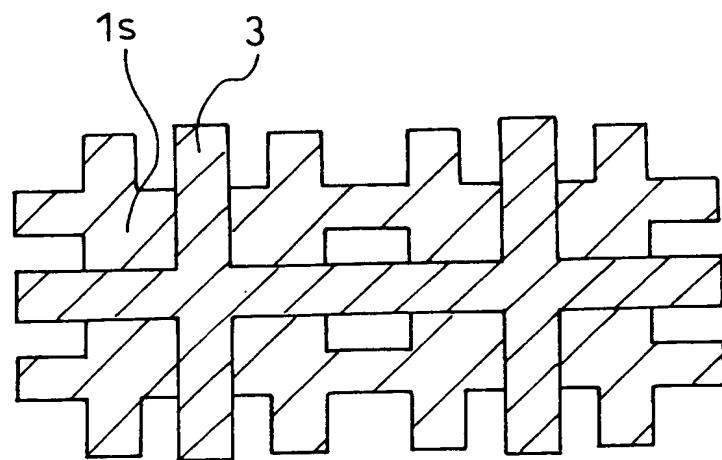
(c)



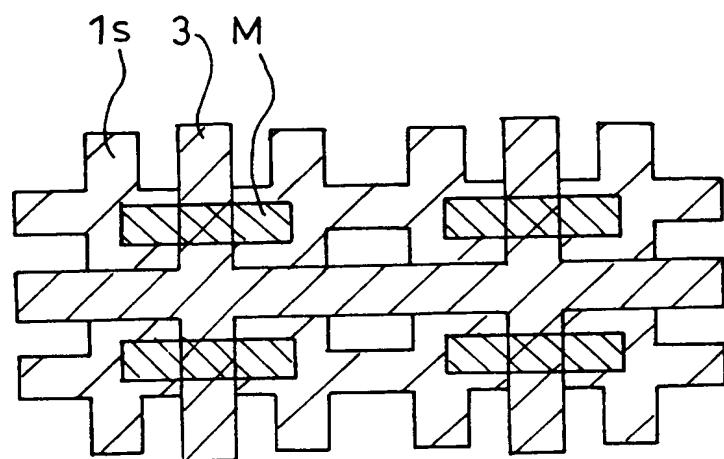
【図12】



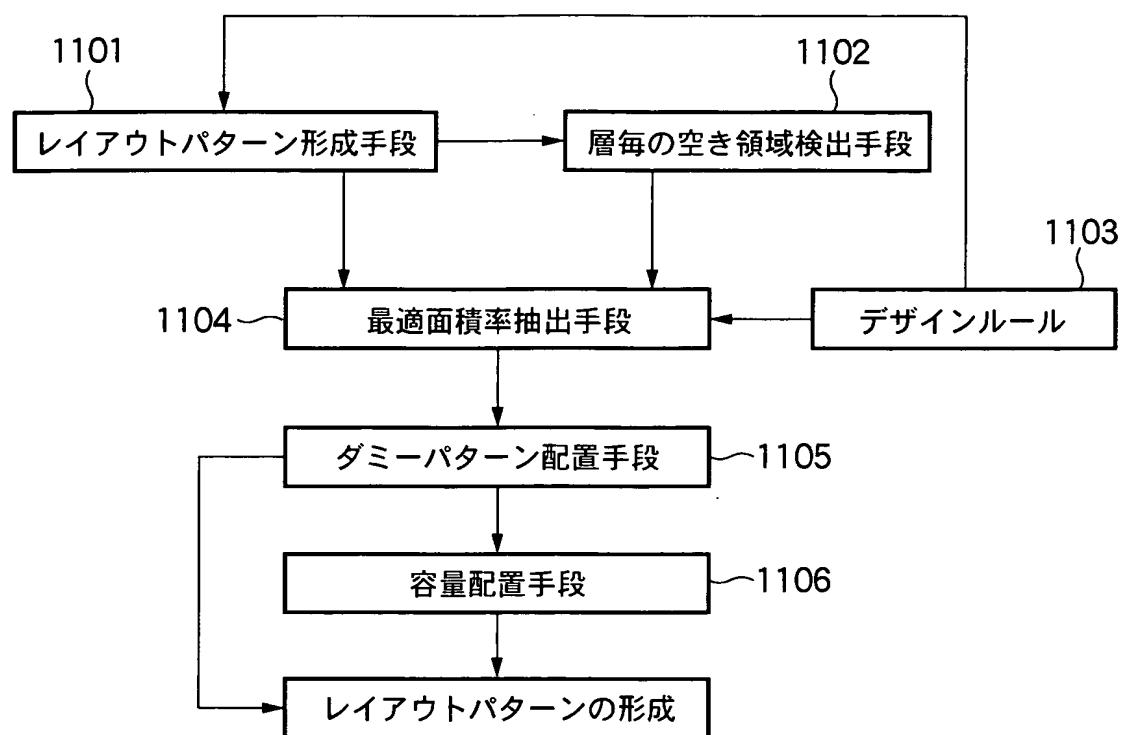
【図 1.3】



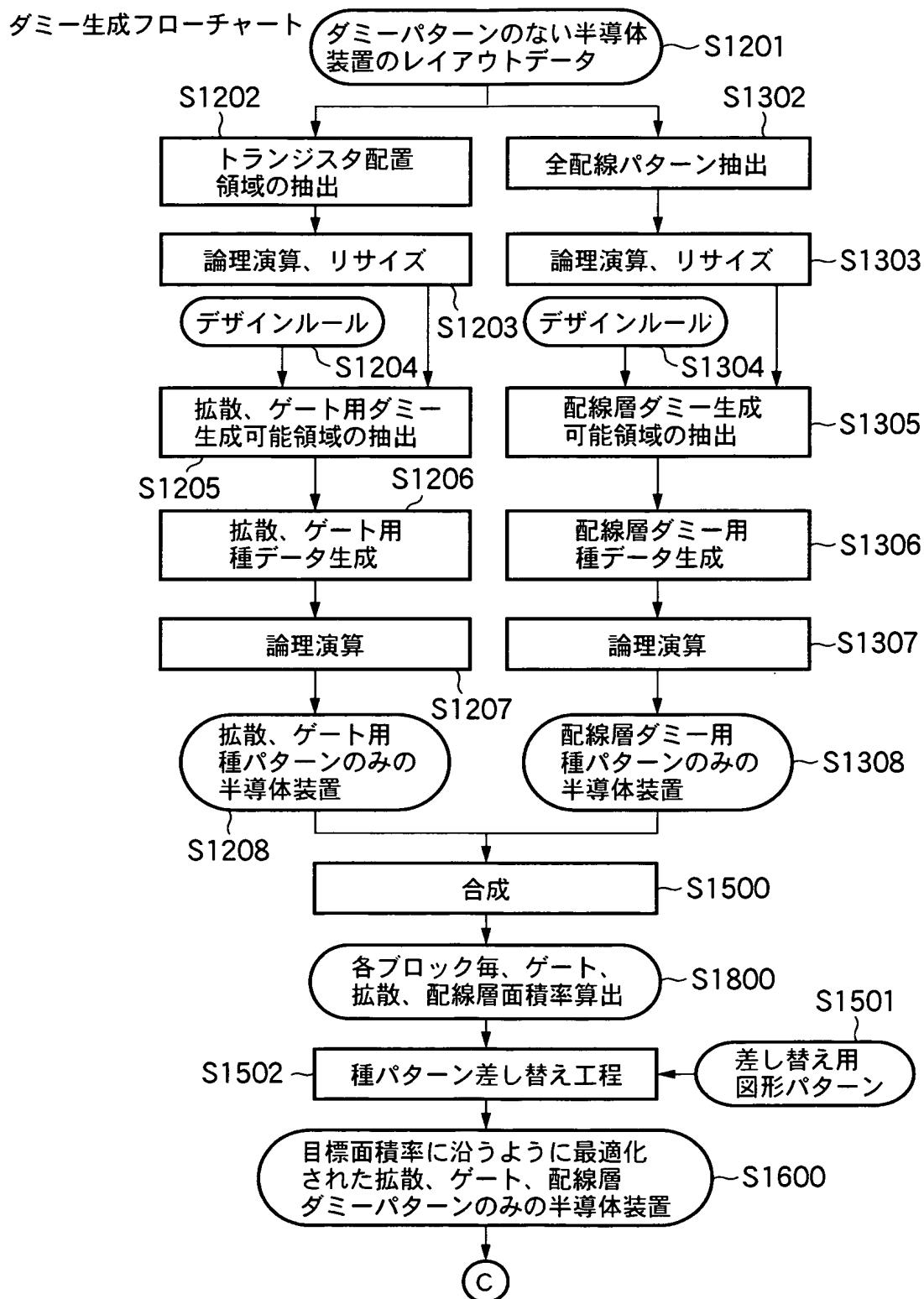
【図 1.4】



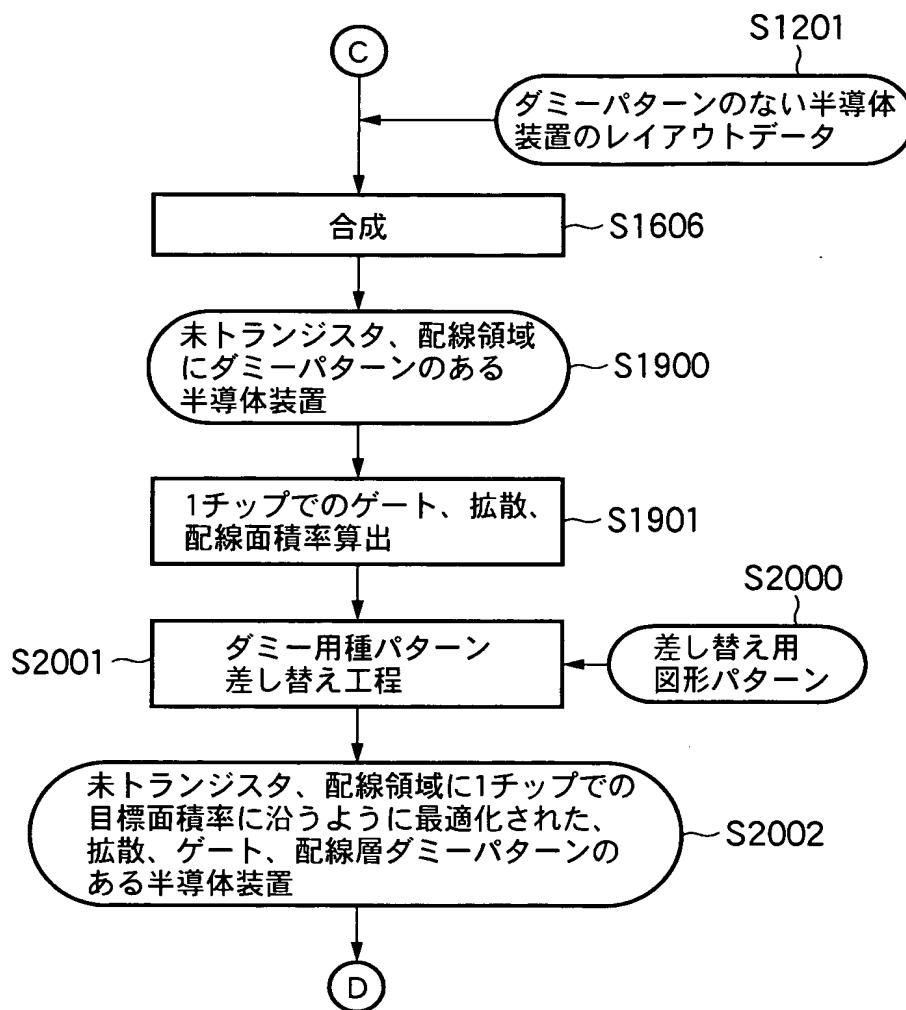
【図15】



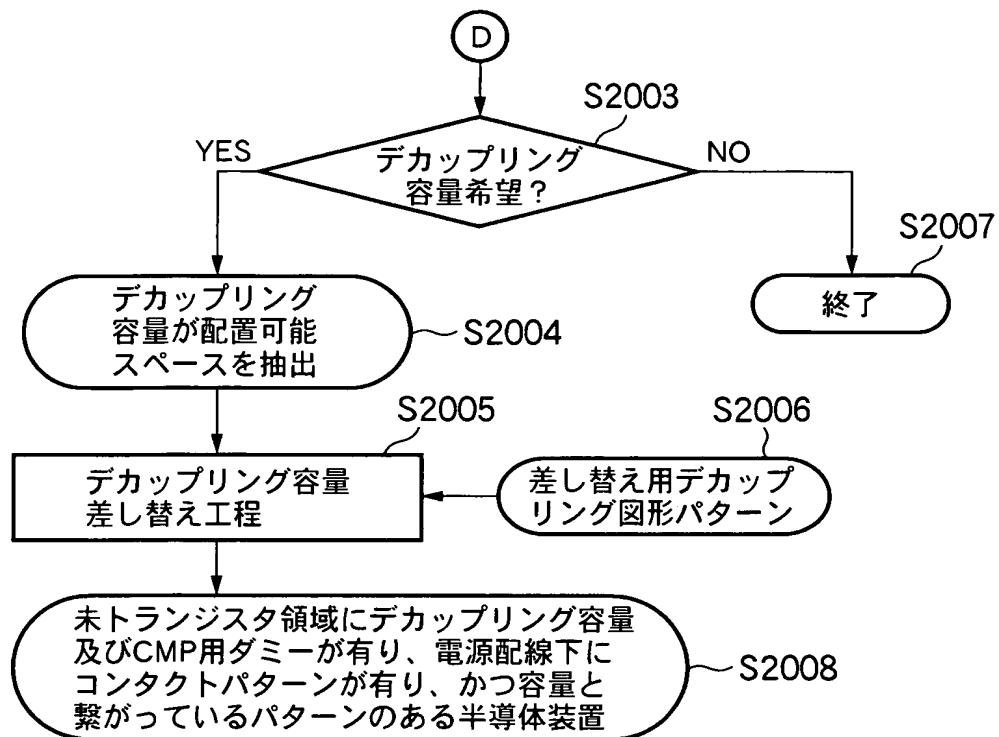
【図16】



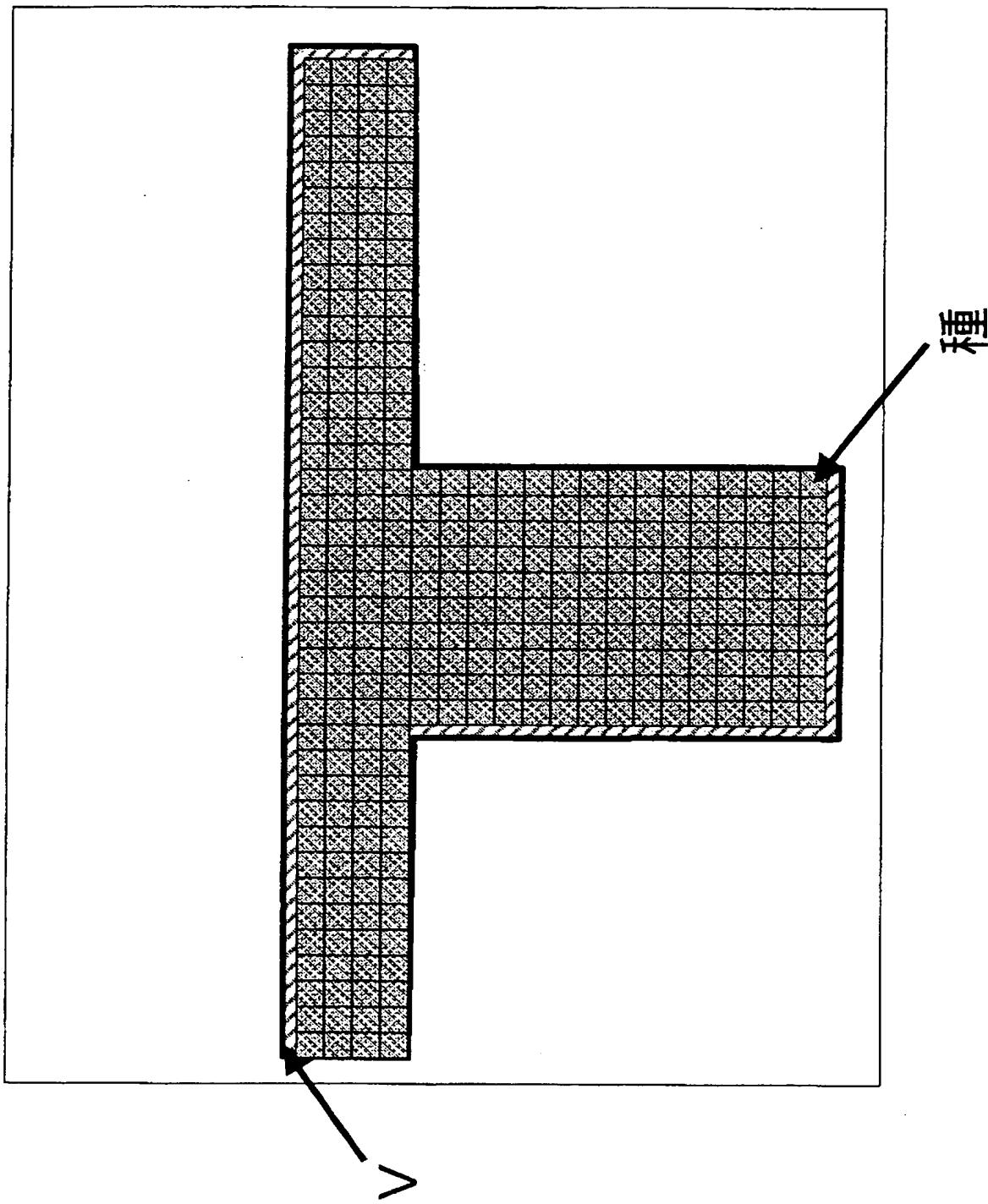
【図17】



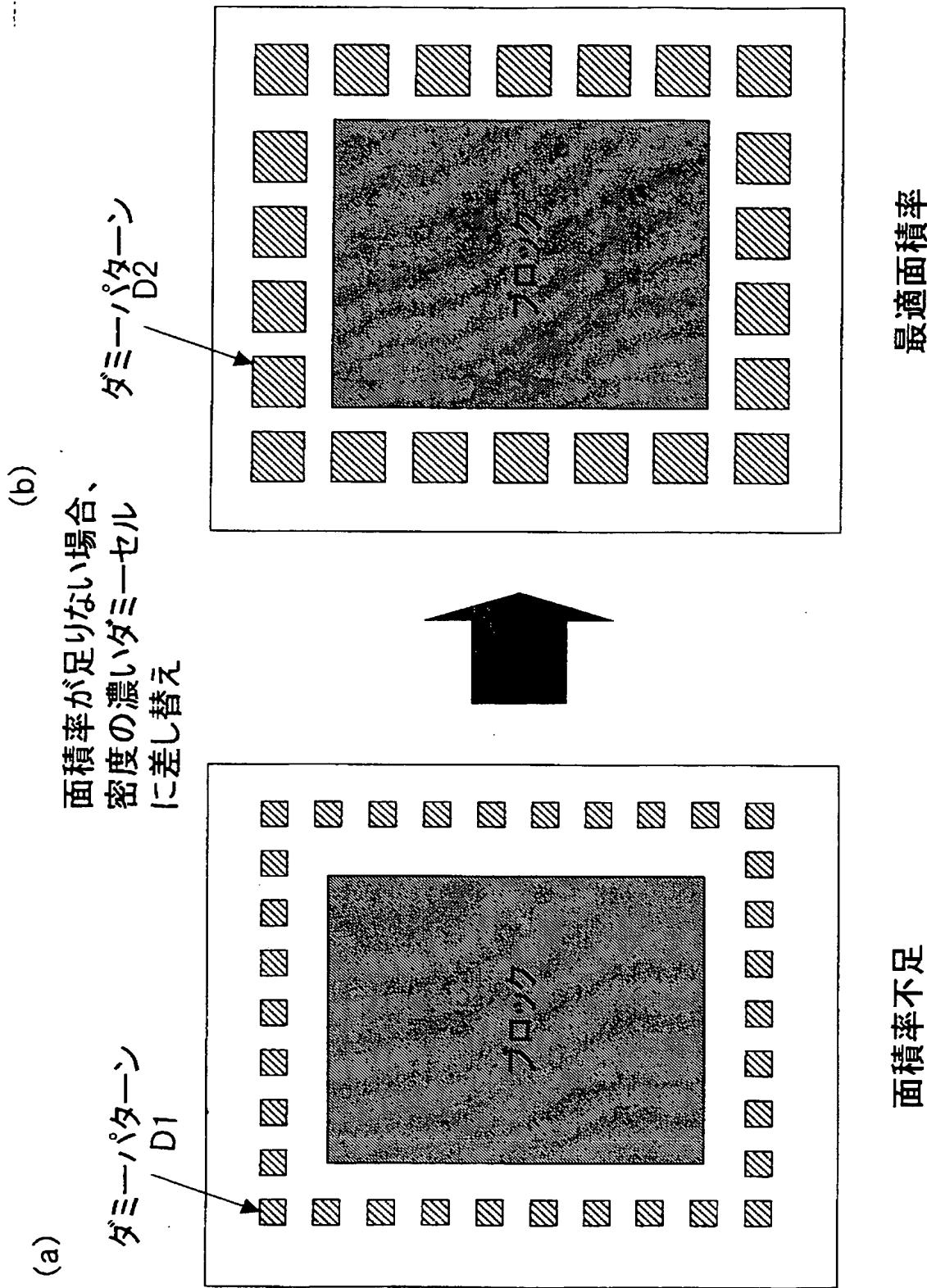
【図18】



【図19】



【図20】





【書類名】要約書

【要約】

【課題】 デカップリング容量の増大が可能で、有効に電源ノイズの吸収をはかり、回路の安定動作を実現することのできる半導体装置を提供する。

【解決手段】 電源配線あるいはグランド配線に近接した領域であるか否かにかかわらず、チップの空き領域にMOSを敷き詰め、配線層、拡散層を利用して電源配線・グランド配線に接続させるようにしたものである。

【選択図】 図2

特願2002-229216

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住所 大阪府門真市大字門真1006番地
氏名 松下電器産業株式会社